

9

На правах рукописи

Севрюков Андрей Николаевич



003450559

**КМОП ФЛЭШ ЗУ
С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ**

05.13.05 – «Элементы и устройства вычислительной техники
и систем управления»

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Автор:

A handwritten signature in black ink, consisting of stylized, overlapping letters.

3 0 0117 2008

Москва – 2008 г.

Диссертация выполнена в Московском инженерно-физическом институте (техническом университете)

Научный руководитель:

кандидат технических наук, доцент
Кондратенко Сергей Владимирович

Официальные оппоненты:

доктор технических наук, профессор
Крупкина Татьяна Юрьевна

кандидат технических наук
Корнеев Игорь Леонидович

Ведущая организация:

ОАО «Ангстрем-М»

Защита диссертации состоится 24 ноября 2008 г. в 15 часов 00 минут на заседании диссертационного совета Д 212.130.02 в Московском инженерно-физическом институте (государственном университете) по адресу 115409, г. Москва, Каширское шоссе, 31, тел. 323-91-67.

С диссертацией можно ознакомиться в библиотеке МИФИ.

Автореферат разослан «23» октября 2008 г.

Ученый секретарь
диссертационного совета
д.т.н., профессор



П.К. Скоробогатов

ОБЩАЯ ХАРАКТЕРИСТИКА ДИССЕРТАЦИИ

Актуальность проблемы

Диссертация посвящена созданию методики проектирования энергонезависимых КМОП флэш ЗУ с произвольной выборкой, сложнфункциональных (СФ) блоков и СБИС типа система на кристалле (СнК) на ее основе. Особое внимание уделено расчету флэш ячейки памяти и построению накопителя флэш ЗУ.

Флэш ЗУ – разновидность твердотельной полупроводниковой энергонезависимой перезаписываемой памяти. В отличие от других видов полупроводниковых энергонезависимых ЗУ (ЭЗУ), флэш ЗУ построена либо на транзисторах с плавающим затвором, либо на транзисторах с многослойным диэлектриком, способных сохранять электрический заряд. Кроме того, в отличие от электрически стираемых записываемых ПЗУ, в флэш ЗУ невозможны побайтовое стирание и запись информации. Архитектура накопителя оптимизирована на максимальную плотность хранения данных, и поэтому такие операции возможны только для больших блоков (2^{10} – 2^{20} байт).

В принятой на правительственном уровне Федеральной целевой программе №809 от 26 ноября 2007 г. определены приоритетные направления политики РФ в области развития электронной компонентной базы (ЭКБ) на 2008–2015 гг., включая, в частности, создание микроконтроллеров со встроенной энергонезависимой электрически программируемой памятью. Однако отсутствие флэш ЗУ отечественного производства и опыта их проектирования затрудняет решение этой задачи.

В связи с развитием цифровых средств и методов обработки сигналов, а также с миниатюризацией электронной аппаратуры, применение СБИС и СФ-блоков ЭЗУ, которые, наряду с универсальными или специализированными процессорами, являются неотъемлемой частью устройств обработки сигналов, становится особенно актуальным. Разработка и изготовление отечественных флэш ЗУ, как одного из наиболее перспективных типов ЭЗУ, позволит снизить долю иностранной ЭКБ в отечественных электронных системах различного, в том числе и специального, назначения.

Выпускаемые в настоящее время флэш ЗУ можно разделить на два основных типа – с последовательной и произвольной выборкой. Накопитель флэш ЗУ первого типа, как правило, состоит из последовательно соединенных ячеек памяти (ЯП), что эффективно увеличивает плотность их размещения. Однако применение флэш ЗУ такого типа для хранения исполняемого кода затруднено или невозможно. В накопителе флэш ЗУ второго типа ЯП соединены параллельно, что обеспечивает высокую ско-

рость произвольной выборки. Как правило, СФ-блоки построены на основе флэш ЗУ именно такого типа. Таким образом, создание методики проектирования флэш ЗУ с произвольной выборкой является актуальной задачей.

Работы по проектированию и изготовлению флэш ЗУ находятся на начальном этапе, что создавало дополнительные проблемы, такие как отсутствие готовых методик, программных пакетов и технологий. Получение же готовых методик и программных пакетов, являющихся конфиденциальной информацией фирм-разработчиков затруднительно. Поэтому необходимо было создать (с учетом мирового опыта) собственные методы и средства проектирования и на их основе – СБИС и СФ-блоки флэш ЗУ, не уступающие по совокупности характеристик зарубежным аналогам, изготовленным с соблюдением аналогичных проектных норм.

подавляющее большинство СБИС проектируются и изготавливаются по КМОП технологии вследствие известных достоинств последней – минимальной статической потребляемой мощности, высокой степени интеграции и низкой стоимости изготовления ИС. Поэтому актуальной является задача проектирования ЭЗУ для интегрирования в СнК, изготавливаемых по отечественной КМОП технологии.

Цель диссертации заключается в исследовании особенностей структур, алгоритмов функционирования, конструктивных особенностей флэш ЗУ, разработке методики проектирования флэш ЗУ с произвольной выборкой и использовании этой методики при создании семейства СБИС и СФ-блоков флэш ЗУ на основе отечественной технологической базы.

Для достижения данной цели необходимо решение следующих задач:

1. Анализ вариантов архитектур и характеристик СБИС и СФ-блоков флэш ЗУ.
2. Анализ схмотехнических решений, элементов и блоков флэш ЗУ.
3. Создание методик и средств проектирования флэш ЗУ с произвольной выборкой, в том числе с использованием предложенных автором архитектурных и схмотехнических решений.
4. Проектирование, изготовление и испытание СБИС и СФ-блоков флэш ЗУ, имеющих требуемые характеристики, с помощью созданных методик, стандартных и разработанных средств проектирования.

Научная новизна диссертации

1. Разработана методика расчета флэш ячейки памяти, позволяющая определить ее важнейшие физические параметры, включая размеры плавающего затвора и изолирующих слоев.

2. Проведен анализ помех взаимовлияния флэш ячеек памяти в массиве накопителя. Предложены способы, позволяющие снизить влияние этих помех и тем самым гарантировать сохранность данных во флэш ЗУ в течение всего срока эксплуатации.
3. Обоснован выбор различных видов реконфигурации: опциональной, позволяющей включать/отключать программную защиту данных; структурной, позволяющей управлять резервированием СБИС и изменять скорости стирания/программирования флэш ячейки памяти; реконфигурации тестовых блоков, включающей в себя настройку режимов тестовых элементов, встроенных в кристалл.
4. На основе выполненных в работе исследований предложена методика проектирования накопителя флэш ЗУ с произвольной выборкой, позволяющая впервые провести полный цикл проектирования отечественной флэш ЗУ.

Результаты диссертации, выносимые на защиту

1. Методика расчета параметров флэш ячейки памяти, позволяющая определить ее важнейшие физические параметры, включая размеры плавающего затвора и изолирующих слоев.
2. Способ коррекции помехи избыточного стирания, позволяющий упростить и ускорить эту процедуру по сравнению с известными способами коррекции.
3. Методика проектирования накопителя флэш ЗУ NOR-типа (с произвольной выборкой), учитывающая помехи взаимовлияния флэш ячеек памяти в накопителе и позволяющая реализовать способы снижения влияния этих помех.
4. Архитектурные, схемотехнические и топологические решения основных функциональных блоков СБИС флэш ЗУ с произвольным доступом, включая матрицу накопителя, блок резервирования и высоковольтный блок. Использование в разработанной СБИС блока резервирования позволяет повысить выход годных изделий с 5 до 10% для данной технологии.
5. Результаты тестирования разработанного флэш ЗУ емкостью 1 Мбит, подтверждающие выполнение основных требований ТЗ.

Практическая значимость результатов диссертации

Практическая значимость заключается в том, что:

- с использованием предложенной методики разработана СБИС флэш ЗУ емкостью 1 Мбит с произвольным доступом по отечественной технологии с проектными нормами 0,8 мкм;

- создан набор библиотечных элементов, предназначенный для проектирования флэш ЗУ в САПР Cadence;
- реализован блок резервирования строк накопителя, позволяющий повысить выход годных изделий;
- обоснован и реализован способ задания тока записи флэш ячейки памяти для страничной записи;
- результаты диссертации внедрены в ОАО «Ангстрем» при разработке СБИС флэш ЗУ с произвольным доступом, что подтверждается полученным актом о внедрении.

Апробация диссертации

Основные положения диссертации докладывались и обсуждались на научно-технических конференциях и семинарах:

- Научно-техническая конференция «Электроника, микро- и нанoeлектроника», 2004 г. (г. Н. Новгород), 2005 г. (г. Вологда), 2006 г. (г. Гатчина), 2007 г. (г. Пушкинские горы), 2008 г. (г. Петрозаводск).
- Научные сессии МИФИ-2004 и МИФИ-2008.

Результаты диссертации были использованы при проведении ОКР «Такт-1» с ОАО «Ангстрем» (г. Зеленоград) по разработке СБИС флэш ЗУ 1 Мбит.

Публикации

Основные результаты диссертации опубликованы в 8 работах (без соавторов) в период с 2004 по 2008 гг., в том числе 1 статья в издании, рецензируемом ВАК России.

Структура и объем диссертации

Диссертация состоит из введения, четырех глав, заключения и списка литературы. Диссертация содержит 155 страниц, 54 рисунка, 11 таблиц. Список литературы включает 144 наименования.

Содержание диссертации

Введение

Во введении обоснована актуальность темы, определена цель диссертации. Приведена постановка задачи и сформулированы основные положения, выносимые на защиту. Изложены научная новизна и практическая ценность диссертации.

1. Текущее состояние и перспективы развития устройств энергонезависимых ЗУ

С развитием электронной компонентной базы (ЭКБ) потребность в емких ЭЗУ неуклонно растет. Мощный толчок развитию этого направления дали вычислительные системы и базы данных, работающие с большими объемами информации.

В зависимости от указанных характеристик можно выделить несколько видов ЭЗУ, ориентированных на различные области применения (рис.1).

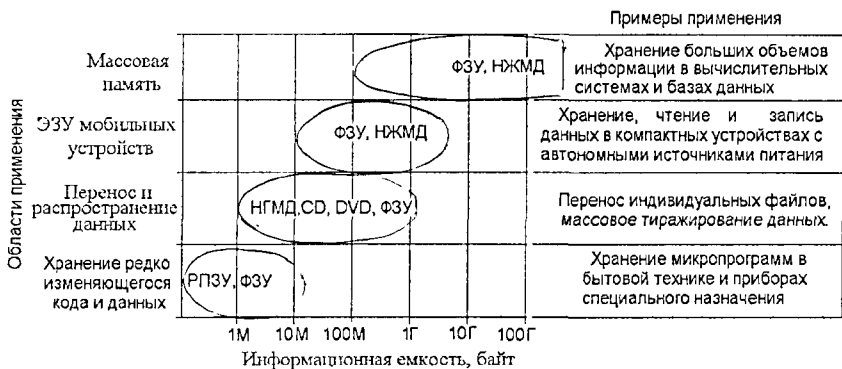


Рис.1. Области применения ЭЗУ

Проведенный анализ показывает, что флэш ЗУ (ФЗУ) применяются или являются перспективными для применения в будущем во всех рассмотренных областях и их разработка является актуальной задачей. В настоящее время существует и разрабатывается множество альтернативных видов твердотельных ЭЗУ, основанных на различных физических принципах перезаписи и хранения информации (EEPROM – память с электрической перезаписью, MRAM – магнитная, FRAM – сегнетоэлектрическая и т.д.). Изготовление по КМОП технологии ЭЗУ, кроме ФЗУ и EEPROM (ЭСРПЗУ), требует использования новых материалов и процессов, что приводит к существенному удорожанию производства. Использование же ЭСРПЗУ вследствие ее малой по сравнению с ФЗУ плотности хранения информации оправданно лишь в тех случаях, когда необходима возможность побайтового стирания информации в ЭЗУ.

Было произведено сравнение наиболее перспективных видов твердотельных ЭЗУ. ФЗУ имеет наименьший размер ячейки памяти (ЯП), поскольку последняя содержит всего один транзистор и, соответственно, обеспечивает наибольшую плотность хранения информации, которая может быть еще увеличена в несколько раз путем использования многоуровневых ЯП. Проведенный анализ базы патентов США в области ФЗУ

показал, что за последние годы их число, а значит, и перспективность данного направления остаются на высоком уровне. Таким образом, по совокупности характеристик и востребованности на практике ФЗУ – абсолютный лидер среди твердотельных ЭЗУ, применяемых в настоящее время в электронной аппаратуре.

Анализ динамики изменения технических параметров СБИС ФЗУ на примере последних разработок позволяет сформулировать следующие тенденции:

- Рост информационной емкости (в настоящее время образцы, производимые с технологическими нормами 40 нм, достигли емкости 32 Гбит на СБИС).

- Уменьшение времени произвольной выборки, что особенно актуально для стремительно набирающей популярность ФЗУ с NAND-архитектурой накопителя типа.

- Увеличение скорости последовательного чтения (достигнутая скорость – более 100 Мбит/с).

- Увеличение скорости записи (достигнутая скорость – 10 Мбит/с).

- Уменьшение напряжения питания. В настоящее время серийно выпускаются СБИС с напряжением питания 1,8 В. Для опытных образцов этот показатель снижен до 0,9 В.

- Уменьшение потребляемой мощности. Поскольку ФЗУ часто применяется в переносных устройствах, то потребляемая мощность (особенно в режиме записи) является одним из самых критичных параметров.

- Создание гибридных ФЗУ, примером которых является ФЗУ с NAND-архитектурой накопителя и внешним интерфейсом, аналогичным используемому в ФЗУ с NOR-архитектурой накопителя (OneNAND от Samsung).

- Создание СФ-блоков ФЗУ для интеграции последних во вновь разрабатываемые СБИС типа СнК.

Проанализированы архитектуры СФ-блоков и СБИС ФЗУ. В отличие от СБИС ФЗУ в СФ-блоках:

- отсутствует или упрощена аппаратная защита входных шин адреса и данных от помех;

- используется NOR-архитектура накопителя, позволяющая хранить исполняемый код;

- отсутствует блок программной защиты данных;

- может отсутствовать часть «стандартных» блоков, таких как тактовый генератор;

- отсутствуют мощные выходные каскады;

- при наличии на кристалле СФ-блока ЭСРПЗУ используется общий генератор высокого напряжения;

- разрядность СФ-блока ФЗУ может достигать 32 бит и более, в то время как для СБИС ФЗУ она не превышает 16 бит;

- в случае применения процессора с высокой тактовой частотой используется параллельное (до 128 разрядов) чтение данных из ФЗУ;
- в связи с тем, что СФ-блок занимает только небольшую часть кристалла, схемы резервирования ФЗУ, как правило, отсутствуют;
- ФЗУ может иметь меньшее количество гарантированных циклов стирания/записи (около 10^3), однако большее время хранения данных (до 20 лет);
- не применяется многоуровневое ФЗУ, поскольку оно обладает низкими скоростями чтения и записи.

В диссертации рассмотрена возможность введения в состав ФЗУ конфигурационных регистров на основе флэш ЯП (ФЯП). Перепрограммирование данных регистров позволяет изменять характеристики готовых СБИС. Важным достоинством такого подхода является его гибкость, определяемая функциями, заложенными разработчиком. Это позволяет также снизить стоимость готовых решений за счет использования одного набора шаблонов для выпуска целого семейства СБИС или СФ-блоков. Возможны следующие виды реконфигурации:

1) Опциональная реконфигурация – включает в себя дополнительные опции СБИС, такие как включение/отключение программной защиты данных, задействование дополнительных блоков памяти специального назначения и т.д.

2) Структурная реконфигурация – включает в себя изменение разрядности СБИС, потребляемой мощности, скорости перепрограммирования, замену основных элементов массива данных резервными и т.д.

3) Реконфигурация тестовых блоков – включает в себя настройку режимов тестовых элементов, встроенных в кристалл.

Учитывая тенденции развития современных СБИС ФЗУ и принимая во внимание доступную технологическую базу (уровень технологии 0,8 мкм, два слоя поликремния, один-два слоя металлизации), можно сформулировать следующие задачи в данном направлении:

1. Разработка отечественной СБИС ФЗУ с емкостью 1 Мбит и с напряжением питания 5 В на основе отечественного техпроцесса 0,8 мкм. Данная СБИС должна быть совместима по внешнему интерфейсу с распространенными зарубежными аналогами.
2. Разработка СФ-блоков ФЗУ на основе отечественного техпроцесса 0,8 мкм.
3. Разработка СБИС ФЗУ на основе современных отечественных техпроцессов 0,8–0,6 мкм и ниже. Такая последовательная разработка растущих по сложности внутреннего устройства СБИС поможет создать теоретическую и практическую базу для проектирования и изготовления конкурентоспособных СБИС ФЗУ.

2. Элементы памяти и принципы работы флэш ЗУ

Существует два основных вида ФЯП: с плавающим затвором и ловушками заряда в многослойном диэлектрике (Кремний-Оксид-Нитрид-Оксид-Полупроводник, КОНОП), изображенные на рис.2.

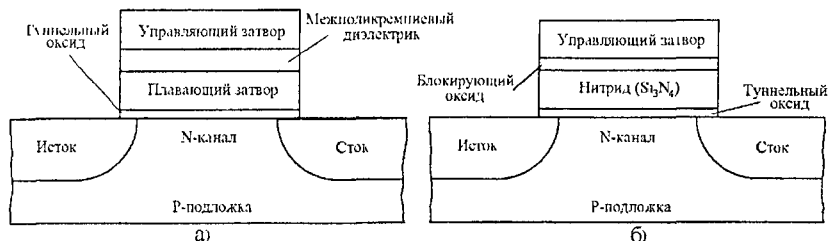


Рис.2. Структура с плавающим затвором (а) и КОНОП-структура (б)

ФЯП имеют четыре режима работы: хранение, стирание логических нулей, программирование предварительно стертых ЯП и считывание. В диссертации выполнен анализ особенностей работы ФЯП в каждом из режимов.

В табл.1 приведены типовые значения параметров наиболее распространенных ФЯП, использующихся в настоящее время.

Таблица 1

Сравнительные характеристики ФЯП

Параметры ЯП	Типы ЯП					
	С многослойным затвором	Туннелируемая	Двухтранзисторная	С расщепленным затвором	КО-НОП	Mirror-Bit
Размер ЯП, F ²	9...12	4,5...6	~30	6,5...17	5...6	5...6 *
Запись: t, мкс; U, В	1...10; 10..12	300...500; 17..20	300...500; 17..20	5...10; 10..12	1...10; 7...10	1...10; 7...10
Ток записи, А	(10...40)× ×10 ⁻⁵	~10 ⁻⁹	~10 ⁻⁹	(1...10)× ×10 ⁻⁶	(1...5)× ×10 ⁻⁵	(1...5)× ×10 ⁻⁵
Стирание: t, мс (блок); U, В	(0,1...1)× ×10 ³ ; 15	2...5; 17...20	2...5; 17...20	5...10; 12...14	(1...5)× ×10 ² ; 7...10	(1...5)× ×10 ² ; 7...10
Скорость утечки заряда	средняя	высокая	высокая	низкая	средняя	средняя
Вероятность пробоя окисла	низкая	высокая	высокая	низкая	средняя	средняя

Примечания: F – характерный размер технологии (minimum feature size);

* – на два бита.

Анализ современного рынка электронных компонентов показывает, что при производстве СБИС ФЗУ наиболее популярными в настоящее время являются ФЯП КОНОП типа. Основные причины данного выбора следующие: 1) меньшее число технологических операций при производстве КОНОП ФЯП по сравнению с ФЯП с плавающим затвором; 2) возможность использования технологии Mirrorbit, позволяющей получить наибольшую плотность хранения данных; 3) меньшие напряжения, используемые при операциях записи и стирания, что достигается благодаря применению тонкого (2–3 нм) туннельного окисла.

Конкретный выбор типа ФЯП осуществляется, исходя из требований технического задания на быстродействие, энергопотребление, надежность хранения информации, а также исходя из доступных техпроцессов.

В зависимости от типа ФЯП и архитектуры накопителя используются два основных механизма программирования: туннелирование Фаулера-Нордхейма (ФНТ) и инжекция горячих электронов (ИГЭ). В табл.2 представлено их сравнение.

Таблица 2

Сравнение методов программирования ФЯП

Параметры ФЯП	ИГЭ	ФНТ
Ток программирования ФЯП, мкА	10...50	$\sim 10^{-3}$
Толщина туннельного окисла, нм	9...11	7...8
Скорость программирования*, мкс	1...10	300...500
Напряжение программирования, В	7...12	17...20

Примечание: * – за счет меньшего тока программирования при ФНТ возможно параллельное программирование большего числа ФЯП.

Из анализа табл.2 можно сделать вывод, что программирование при помощи ИГЭ требует больше энергии. Тем не менее оно предпочтительнее, если требуется быстрая перезапись малых блоков информации и/или по каким-либо причинам нежелательно использование более высокого напряжения (17...20 В). Дополнительное сравнение и рекомендации по выбору того или иного метода программирования приведены в диссертации.

Существуют разные модели, которые могут быть использованы для оценки тока затвора вследствие ИГЭ. Анализ литературы показал, что вероятностная модель (lucky-electron model) обладает более высокой точностью моделирования процесса программирования и поэтому именно она была использована при создании методики расчета основных характеристик ФЯП.

Надежность хранения данных в ФЯП. В существующей литературе нет единообразного определения времени хранения информации в

ФЗУ. В различных источниках встречаются попытки описать эту величину как время, за которое записанный заряд уменьшается в результате утечек на 50%, 20% или 10%. Однако в зависимости от структуры ФЯП и усилителя считывания такие определения могут быть некорректны. Автор предлагает следующее определение: *время хранения информации – это время, в течение которого можно с уверенностью распознать состояние ФЯП*. При таком определении время хранения характеризует весь тракт записи и чтения и пригодно как для проведения расчетов, так и измерений.

Основным фактором, влияющим на время хранения и износостойкость (гарантированное число циклов стирания/записи), является качество подзатворного и межзатворного диэлектриков. Их повреждения образуют нежелательные ловушки заряда, что снижает надежность ФЗУ. В литературе широко представлены результаты практических исследований надежности хранения данных и износостойкости ФЯП. Однако при создании методики проектирования ФЯП необходимы аналитические оценки данных величин.

Основные причины сбоев, связанных с подзатворным диэлектриком, – пробой и появление дефектов кристаллической решетки во время операций программирования/стирания. Заполняясь, ловушки изменяют инжекционные поля и, следовательно, величину заряда, перемещенного на плавающий затвор.

Межзатворный оксид, служащий для изоляции плавающего и управляющего затворов, также не должен содержать дефекты для предотвращения утечки заряда с плавающего затвора. Неоднородная поверхность вызывает локальные усиления электрического поля, результатом чего является повышение токов утечки. Для количественной оценки этого эффекта в работе принято, что неровности на поверхности диэлектрика имеют полуэллиптическую форму высотой h и радиусом b . Тогда величину локально усиленного поля $E_{ип}$, вызванного неровностями, можно оценить, используя выражение

$$E_{ип} = E_{uni} (\lambda^2 - 1)^{1,5} / \left\{ \lambda \cdot \ln \left(\lambda + (\lambda^2 - 1)^{0,5} \right) - (\lambda^2 - 1)^{0,5} \right\},$$

где E_{uni} – напряженность поля в случае гладкой поверхности диэлектрика; $\lambda = h/b$.

Таким образом, зная характеристики диэлектрика, являющиеся параметрами техпроцесса, можно оценить токи утечки ФЯП в режиме хранения.

В работе для уменьшения утечек рекомендуется применять в качестве межзатворного диэлектрика многослойные структуры, наиболее распространенной из которых является оксид-нитрид-оксид (ONO) кремния. К недостаткам данного вида диэлектриков следует отнести то, что про-

цесс их производства требует больше технологических операций, увеличивая тем самым стоимость конечной продукции.

Характеристику износостойкости ФЗУ определяет разница пороговых напряжений в записанном и стертом состояниях в зависимости от числа циклов стирания/программирования (рис.3).

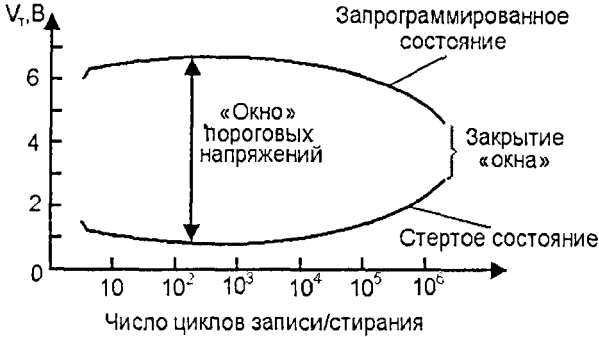


Рис.3. Разница пороговых напряжений стертой и записанной ФЯП в зависимости от числа циклов стирания/записи

При программировании и стирании ФЯП сильные электрические поля повреждают подзатворный окисел, образуя в нем дефекты. Из-за этого полное число циклов стирания/записи ограничено 10^4 – 10^6 циклами. В литературе широко представлено исследование свойств оксидов кремния и других диэлектриков под влиянием сильных (7...12 МэВ/см) электрических полей. Однако практические достижения в области оценки допустимого количества циклов стирания/записи, как правило, опережают теоретические. Поэтому в литературе часто приводятся только экспериментально полученные данные, имеющие смысл в основном для частных случаев. Тем не менее при построении ФЯП с заданными параметрами необходима предварительная оценка данной величины. Для этого автор предлагает воспользоваться уравнением Эйринга (Eyring):

$$N_T = 1,5 \times 10^{21} \exp\left(\frac{A \cdot E_{inj} - B}{kT}\right) \cdot (t/t_0)^{0,2},$$

где N_T – концентрация ловушек в окисле, см^{-3} ; $A=1,9 \times 10^{-29}$ Кл·м; E_{inj} – напряженность поля инжекции, В/м; $B=0,32$ эВ; t – время воздействия, с; $t_0=1$ с – нормировочный коэффициент. Полное электрическое поле в диэлектрике можно представить как суперпозицию поля от приложенного внешнего напряжения и индуцированного поля от захваченных в ловушки зарядов:

$$E_{total} = E_{inj} + E_{ind},$$

где $\max\{E_{ind}\} = eN_T d / (2\epsilon)$, d , ϵ – толщина и абсолютная диэлектрическая проницаемость соответствующего диэлектрика.

Таким образом, зная длительность воздействия и амплитуду электрических полей, воздействующих на диэлектрики во время циклов стирания/записи, можно на соответствующем этапе проектирования оценить предельное число этих циклов.

Построение ФЯП. В результате анализа режимов работы ФЯП предложена методика расчета параметров элемента памяти (рис.4), которая входит как составная часть в методику проектирования накопителя ФЗУ.

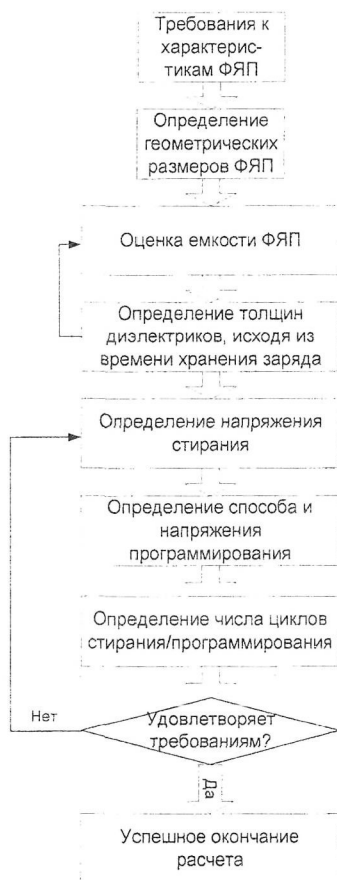


Рис.4. Алгоритм последовательности этапов методики расчета параметров ФЯП

Возможности реконфигурирования режимов работы ФЯП. Предложенная автором методика построения ФЯП позволяет рассчитать их физические размеры и электрические параметры. В работе показано,

что возможно улучшение одних параметров ФЯП за счет других. Таким образом, можно определить важные параметры структурной реконфигурации, в частности такие, как время и напряжения программирования ФЯП, время и напряжения стирания ФЯП, а также потребляемую при этих процессах мощность. Целесообразность данных опций определяется тем, что их применение в СБИС позволяет как оптимизировать процессы записи/стирания ФЯП, так и влиять на время хранения информации и износостойкость массива памяти.

3. Методика проектирования накопителя флэш ЗУ

Существуют различные архитектуры накопителя ФЗУ. Их сравнительные характеристики приведены в табл.3. В связи с широким использованием в настоящее время ФЗУ с архитектурами OneNAND и OrNAND, их характеристики выделены в отдельные столбцы таблицы.

Таблица 3
Сравнительные характеристики архитектур накопителя ФЗУ

Параметры накопителя	Архитектуры накопителя					
	NOR	NAND	DiNOR	AND	OneNAND	OrNAND
Размер ФЯП, F ²	6...12	4...6	8...12	6...8	4...6	5...6*
Время производного доступа, нс	50...100	~25×10 ³	50	(5...50)× ×10 ³	100 (25×10 ³)	~10 ⁴
Время последовательного доступа, нс	25... 100	50...100	30...50	20...50	20...25	30...50
Скорость записи, мкс/байт	0,3...7	0,1...0,2	4...10	1...2	0,1...0,2	0,3...0,5
Скорость стирания, мс/блок	~500	~2	~1	~1	~2	~150
Размер блока, кбайт	64... 1024	16...128	1...8	2...32	32...128	128... 1024
Параллельный доступ	+	-	+	-	+/-	-
Особенности техпроцесса	-	-	3 слоя поликремния	3 слоя поликремния	3-4 слоя поликремния	-

Примечание: * – на два бита.

Такие важные параметры ФЗУ, как время доступа, возможность хранения исполняемого кода и особенности техпроцесса, поддаются прямому сравнению, в отличие от эффективности использования площади

СБИС, которая дополнительно характеризует качество разработки. В литературе приводятся многочисленные сравнения эффективности использования площади для различных архитектур. Тем не менее использованные там методы сравнения имеют существенные недостатки: сравниваются размеры ФЯП или массивов без учета размеров периферийных схем; сравниваются СБИС, произведенные с применением разных технологических норм, или СБИС с многоуровневыми и одноуровневыми ФЯП, или многокристальные и однокристальные СБИС. Для корректной оценки эффективности использования площади кристалла ФЗУ, не зависящей от используемых технологических норм, автором предложен безразмерный коэффициент $K_{эфф} = VF^2 10^3 / (SM)$, где V – емкость СБИС, Мбит; F – уровень проектных норм, мкм; S – полная площадь кристалла, мм²; M – множитель, применяемый в случае использования многоуровневых ЯП (равен количеству хранимых в ЯП бит информации). Наилучшими значениями коэффициента эффективности (около 80), превосходящими остальные варианты в 1,5...2 раза, обладают ФЗУ с NAND- и разновидностью NOR-архитектуры, использующей Mirrorbit ЯП.

Проведенный анализ динамики изменения рынка ФЗУ за последние 10 лет показал, что популярность ФЗУ с NAND-архитектурой неуклонно растет. За последние 4 года ФЗУ с NOR-архитектурой занимают стабильно высокую долю на рынке ЭЗУ. Доля остальных архитектур незначительна. Учитывая доступный уровень технологии (например, 0,8 мкм) и мировой опыт производства ФЗУ, можно оценить максимально доступную емкость при использовании различных архитектур. Так, для ФЗУ с NOR-архитектурой она составляет около 4 Мбит, а для NAND-архитектуры – около 8 Мбит. Принимая во внимание основную область применения ФЗУ такой емкости (хранение исполняемого кода), можно сделать заключение о целесообразности собственной разработки и производства ФЗУ с NOR-архитектурой, поскольку они лучше подходят для областей применения, не требующих больших информационных объемов. Дополнительной аргументацией в пользу разработки ФЗУ такого типа является то, что СФ-блоки ФЗУ, входящие в состав микроконтроллеров, используют NOR-архитектуру накопителя, позволяющую хранить исполняемый код. В целом анализ областей применения различных архитектур показывает, что в случае малой и средней емкости ФЗУ, а также в качестве СФ-блоков ЭЗУ микроконтроллеров NOR-архитектура оказывается предпочтительней, поэтому в данной работе основное внимание уделено проектированию СБИС именно этой архитектуры.

Помехи взаимовлияния (ПВВ) в массивах ФЗУ NOR-типа. Существуют следующие виды ПВВ, которые могут встретиться в массиве ФЗУ NOR-типа: *постоянное стирание (DC Erase)*, *постоянное программирование (DC Program)*, *помеха программирования (Program Disturb)*,

Drain Disturb, помеха стока), *помеха чтения* (Read Disturb), *избыточное стирание* (OverErase). На рис.6 показана схема массива ФЗУ с ПБВ.

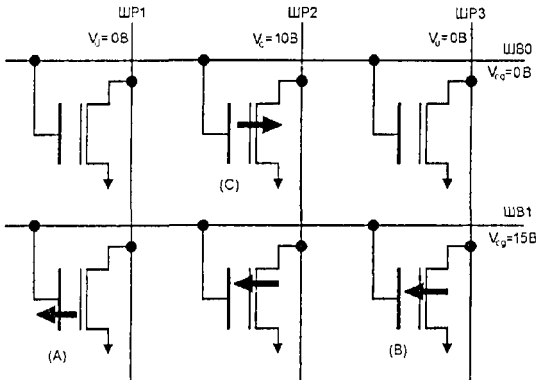


Рис.6. Схема массива ФЗУ с ПБВ: А – помеха постоянного стирания; В – помеха постоянного программирования; С – помеха программирования

В диссертации проведен подробный количественный анализ ПБВ и методов снижения уровня помех за счет ряда структурных и схемотехнических решений. Предложен собственный способ коррекции помех избыточного стирания, позволяющий упростить и ускорить эту процедуру по сравнению с известными способами коррекции.

Проведенный анализ ПБВ, возникающих в NOR-массивах ФЗУ, показал, что основным фактором, влияющим на надежность хранения информации в ФЗУ, является качество диэлектриков ФЯП. При проектировании накопителя ФЗУ необходимо учитывать воздействие рассмотренных ПБВ на отдельные ФЯП.

Использование накопителя NOR-типа на основе ФЯП с расщепленным затвором позволяет полностью исключить часть рассмотренных ПБВ и снизить влияние других. Также необходимо отметить, что при производстве ФЯП с расщепленным затвором применяются более толстые диэлектрики (от 13 нм), что позволяет лучше контролировать их качество и использовать более дешевый техпроцесс по сравнению с используемым при производстве ФЯП с многослойным затвором.

Секционирование накопителя ФЗУ. Выбор типа массива и используемой ЯП определяет топологию ФЯП и их межсоединений. Однако при разработке накопителя необходимо его секционирование, применяемое для определения размера стираемого блока, оптимизации быстродействия и потребляемой мощности. В то же время секционирование накопителя невыгодно с топологической точки зрения, поскольку оно уменьшает плотность размещения ФЯП на кристалле. В диссертации отмечено, что

секционирование, определяющее максимальный размер блока, может быть независимым от разбиения на *секции* (часть массива, объединенная едиными шиной выборки – ШВ и разрядной шиной – ШР), определяющего задержку накопителя и потребляемую мощность. На основании этого выработаны конкретные рекомендации по реализации секционирования накопителя ФЗУ.

Расчет с использованием имеющихся средств САПР матрицы накопителя был затруднен из-за большого количества содержащихся в ней элементов. Поэтому для аналитических расчетов задержек секции NOR-массива была введена эквивалентная схема накопителя, изображенная на рис.6,а, где $C_{ШВ}$, $R_{ШВ}$ – емкость и сопротивление ШВ; $C_{ШР}$ – емкость ШР; N1 – устройство предварительного заряда ШР.

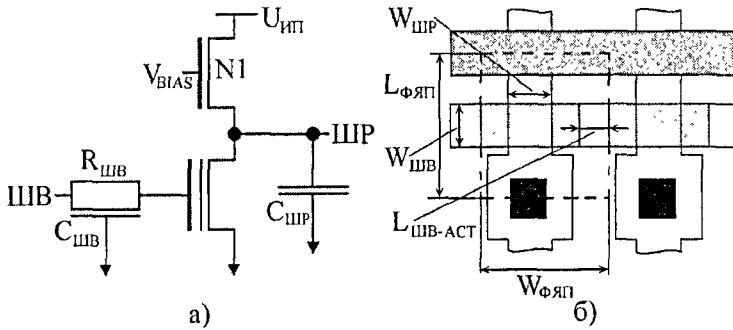


Рис.6. Эквивалентная переходная схема ФЗУ NOR-типа (а) и типовая топология NOR-структуры (б)

ШВ была смоделирована в виде распределенной RC-цепи, поскольку для ее создания используется поликремний (либо силицид) с относительно высоким поверхностным сопротивлением. РШ реализуется слоем первого металла, обладающего низким ($\sim 0,1$ Ом/□) сопротивлением. Таким образом, даже при значительной длине данной шины ее сопротивление будет незначительным по сравнению с выходным сопротивлением транзистора предзаряда. Поэтому для моделирования РШ была использована емкостная модель. Основные размеры ФЯП, используемые для расчетов, показаны на рис.6,б, где $L_{ФЯП}$, $W_{ФЯП}$ – длина и ширина ФЯП; $W_{ШВ}$, $W_{ШР}$ – ширина ШВ и ШР соответственно, $L_{ШВ-АСТ}$ – длина шины выборки над пассивной областью (защитным слоем), приходящаяся на одну ФЯП.

Определено максимальное число ФЯП секции накопителя, подключенных к ШВ без шунтирования последней металлом:

$$n_{ШВ} \leq 1,6\sqrt{t_{ШВ} / (R_{ШВ1}(C_{ШВ1} + C_{FG}))},$$

где $t_{ШВ}$ – задержка ШВ; $R_{ШВ1}$, $C_{ШВ1}$ – сопротивление и емкость ШВ, приходящиеся на одну ФЯП; C_{FG} – емкость плавающего затвора ФЯП.

В случае использования техпроцесса с двумя и более слоями металлизации возможно шунтирование ШВ вторым слоем металла. В этом случае при расчете допустимого числа ФЯП, подключенных к ШВ, можно воспользоваться предыдущим выражением, уменьшив $R_{ШВ}$ до сопротивления половины размера шунтируемой области. Сопротивлением и емкостью металла в первом приближении можно пренебречь.

Отмечено, что при шунтировании ШВ металлом увеличивается размер массива. Проведенный расчет показал, что для стандартных правил проектирования уровня 0,8–0,18 мкм каждое соединение поликремниевой шины массива с шунтирующей шиной второго металла увеличивает итоговую ширину массива примерно на $3F$, где F – уровень проектных норм. При шунтировании ШВ для ФЯП, смежных с контактами, дополнительно надо учитывать изменения характеристик, обусловленные двумя основными причинами: 1) размер активной области для ФЯП смежных с контактами шунтирования отличается от других; 2) изменение характеристик ФЯП (как правило, в результате локального повреждения диэлектриков), возникающее при травлении контактов для шунтирования ШВ.

Сделан вывод о том, что уменьшение сопротивления ШВ путем использования низкоомного силицида вместо поликремния позволяет эффективно увеличивать длину ШВ без увеличения вносимой ею задержки. Использование металла для шунтирования словарной линии нежелательно, поскольку оно увеличивает размер массива и требует учета дополнительного разброса характеристик ФЯП.

Определено максимальное число ФЯП, подключенных к ШР:

$$n_{ШР} \leq 1,4 \cdot t_{ШР} / (R_{рес} \cdot (C_{ШР1} + C_{D1})),$$

где $t_{ШР}$ – задержка ШР; $C_{ШР1}$ – емкость ШР, приходящаяся на одну ФЯП, C_{D1} – емкость стока ФЯП; $R_{рес}$ – эквивалентное сопротивление транзистора предзаряда.

Учитывая, что для ФЯП не существует *области неразрушающего чтения*, предзаряд ШВ и ШР можно проводить одновременно. Как правило, транзисторы предзаряда совмещены с усилителями считывания (число которых равно разрядности ФЗУ) и на размеры этих транзисторов нет жестких ограничений. Поэтому желательно выбирать $t_{ШР} = t_{ШВ}$.

Определена потребляемая накопителем динамическая мощность в режиме считывания, зависящая от перезаряда емкостей выбранных ШВ и ШР и сквозного тока, протекающего через считываемые ФЯП:

$$P_{омн} = (\Delta U_{ШВ}^2 C_{ШВ} + \Delta U_{ШР}^2 C_{ШР} \cdot M + U_{ПП} I_{ФЯПСК} \cdot M) / t_c,$$

где $\Delta U_{ШВ}$, $\Delta U_{ШР}$ – перепад напряжения на ШВ и ШР соответственно; $C_{ШВ}$, $C_{ШР}$ – емкости ШВ и ШР; M – разрядность ФЗУ (равна числу одновременно выбранных ШР); $U_{ПП}$ – напряжение источника питания; $I_{ФЯП}$ – ток,

протекающий через ФЯП; $t_{СК}$ – время протекания тока через ФЯП; t_C – время цикла.

Предложен способ снижения потребляемой динамической мощности накопителя, заключающийся в последовательном предзаряде ШВ и ШР, возможному благодаря отсутствию области разрушающего считывания.

Показано, что минимальный размер блока равен размеру двух строк в секции (поскольку ФЯП двух соседних ШВ имеют общую ШИ). Максимальный размер блока определяется допустимыми потребляемой мощностью и пиковым током, поскольку для стирания, как правило, используется процесс туннелирования, и, соответственно, низкий ток отдельных ФЯП (5...10 нА). Тем не менее для больших массивов (~1 Мбит) суммарный ток стираемой области составляет порядка 10 мА, что является существенным ограничением для дальнейшего увеличения стираемой области.

Методика проектирования накопителя ФЗУ. Проектирование накопителя ФЗУ представляет собой наиболее сложную задачу при проектировании ФЗУ в целом. Однако в существующей литературе решение этой задачи освещено весьма слабо. Так, в доступных литературных источниках описываются принципы работы ФЯП и массивов на их основе, но не методика их расчета. Такая информация пригодна лишь для проектирования ФЗУ на основе предоставляемых фабрикой ФЯП и базовых блоков, что существенно ограничивает возможности разработчика.

Предлагаемая методика позволяет разрабатывать накопитель ФЗУ с нуля. Благодаря предложенному способу расчета ФЯП, можно как задавать требования к разрабатываемым техпроцессам, так и учитывать ограничения существующих. Данная методика охватывает проектирование накопителей только NOR-типа, поскольку они в данный момент представляют наибольший интерес как в виде СБИС, позволяющих исполнять код, так и в виде СФ-блоков для микроконтроллеров. Аналогичная методика может быть применена для разработки накопителей других типов.

Алгоритм последовательности этапов разработанной методики приведен на рис.7.

Методика состоит из следующих основных этапов:

Этап 1. Выбор типа накопителя. Существует несколько вариантов реализации накопителей с NOR-архитектурой (с произвольным доступом). Эти варианты рассмотрены в диссертации и обладают разными достоинствами и недостатками, на основе анализа которых и осуществляется выбор.

Этап 2. Выбор и расчет ФЯП. На этом этапе необходимо выбрать тип ФЯП, используемой в накопителе, исходя из требований ТЗ к ФЗУ на скорость, энергопотребление, надежность хранения информации, а также исходя из доступных техпроцессов. Выбор проводится на основе прове-

денного в диссертации анализа различных типов ФЯП. Далее производится расчет параметров ФЯП на основе предложенной ранее методики.

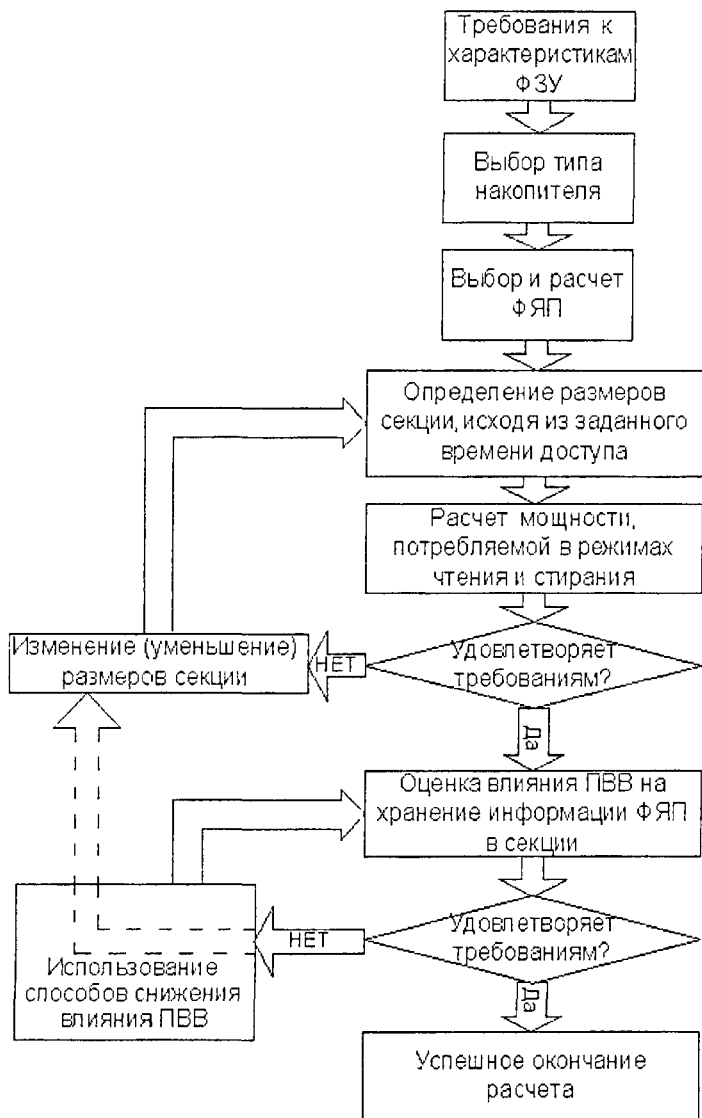


Рис.7. Алгоритм последовательности этапов методики разработки накопителя ФЗУ

Этап 3. Определение размеров секции. На данном этапе производится определение размеров секций накопителя с целью оптимизации времени доступа, потребляемой мощности и размеров стираемого блока. В диссертации определено допустимое количество элементов строк и столбцов в зависимости от допустимой задержки и потребляемой мощности.

Этап 4. Оценка влияния ПБВ на хранение информации ФЯП в секции. Для данной оценки необходимо знать размер секции, полученный на предыдущем этапе. Для оценки используются результаты анализа ПБВ, возникающих в накопителе. В случае, если ПБВ могут нарушить хранящиеся в памяти данные, следует воспользоваться предложенными способами компенсации влияния ПБВ либо изменить размер секции, вернувшись на предыдущий этап проектирования.

Если все оценки получились непротиворечивыми, можно переходить к созданию топологической схемы накопителя.

Предложенная методика построения накопителя ФЗУ восполняет недостаток информации по данной тематике в доступных источниках.

4. Флэш ЗУ 1 Мбит

С использованием предложенной методики с использованием средств САПР Cadence были разработаны основные функциональные блоки СБИС ФЗУ 1 Мбит. Функциональная схема ФЗУ представлена на рис.8.

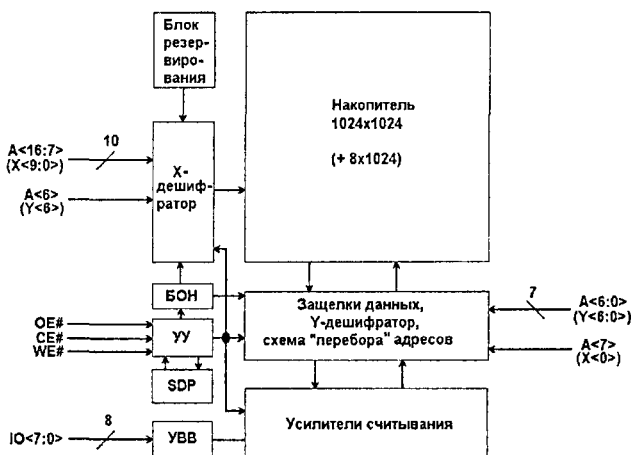


Рис.8. Функциональная схема СБИС ФЗУ 1 Мбит

СБИС содержит накопитель – матрицу ФЯП, включающую основные и резервные элементы; X-дешифратор; Y-дешифратор, объединенный

с триггерами-зашелками данных; усилители считывания; БОН – блок опорных напряжений; блок резервирования; УУ – устройство управления; УВВ – устройство ввода-вывода; SDP (Software Data Protected) – блок программной защиты данных.

СБИС реализована на технологической базе ОАО «Ангстрем» по технологии 0,8 мкм и содержит накопитель NOR-типа на основе ФЯП с расщепленным затвором. Данная архитектура была выбрана потому, что в ней минимизируется число и влияние помех в массиве ФЯП и она обладает низкими требованиями к техпроцессу. Накопитель разбит на две половины. Размер страницы накопителя совпадает с размером стираемого блока и содержит 128 байт. Каждая страница разбита на две полустраницы по 64 байта, расположенные одна над другой. Каждая половина накопителя содержит по две резервные страницы, эффективно повышающие выход годных СБИС с 5 до 10%.

На рис.9 показана топология разработанного кристалла ФЗУ 1 Мбит: 1, 2 – левая и правая половины накопителя, 3 – блок опорных напряжений, 4 – блок резервирования, 5 – SDP блок, 6 – усилители считывания.

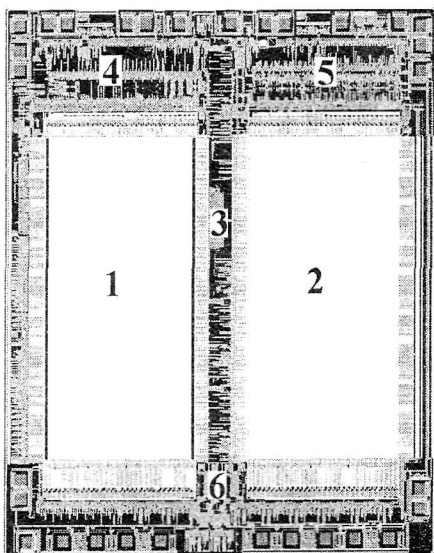


Рис.9. Топология СБИС ФЗУ емкостью 1 Мбит

Основные характеристики и функции изготовленной СБИС ФЗУ 1 Мбит приведены в табл.4 вместе с характеристиками ФЗУ производства Hitachi, изготовленной по аналогичной технологии.

Сравнение изготовленной ФЗУ со СБИС Hitachi

Параметры СБИС	Изготовленная СБИС	СБИС Hitachi
Основные характеристики техпроцесса	0,8 мкм; 1 Ме; 1 поликремний; 1 силицид	0,8 мкм; 1 Ме; 1 поликремний; 1 силицид
Размер кристалла, мм ²	4,8×6,1	5,2×6,22
Напряжение питания, В	5	5/12
Износостойкость (оценка)	10 ⁴	–
Время хранения данных (оценка), лет	10	–
Время доступа (не более), нс	80	80
Ток потребления в активном режиме (не более), мА	50	10
Ток потребления в режиме ожидания (не более), мкА	40	150
Время записи страницы (не более), мс	5	6,4
Время стирания страницы (не более), мс	2	1×10 ³

При проектировании СБИС ФЗУ с NOR-архитектурой накопителя использован разработанный автором рациональный набор библиотечных элементов, содержащий: высоковольтный блок, блок резервирования, блок опорных напряжений, входные и выходные буферы. Использование перечисленного набора библиотечных элементов позволяет спроектировать ФЗУ NOR-типа емкостью до 4 Мбит в сжатые сроки, поскольку исключаются этапы повторной разработки схемотехники основных блоков ФЗУ.

Заключение

Основной научный результат диссертации заключается в развитии теории и методики проектирования сложнофункциональных блоков и СБИС КМОП флэш ЗУ с произвольной выборкой.

Основной теоретический результат

Предложена методика выбора и последующей разработки накопителя флэш ЗУ NOR-типа, учитывающая особенности и ограничения используемого техпроцесса. Методика направлена на обоснованный выбор архитектуры, расчет ячеек памяти, выбор варианта построения и расчет накопителя флэш ЗУ. Использование данной методики в сочетании с известными способами и средствами построения периферийных блоков (усилителями считывания, дешифраторами и т.д.) позволяет реализовать полный маршрут проектирования флэш ЗУ.

Частные теоретические результаты

1. Разработана методика расчета флэш ячейки памяти, позволяющая определить ее важнейшие физические параметры, включая размеры плавающего затвора и изолирующих слоев.

2. Предложены способы снижения уровня помех взаимовлияния (ПВВ) за счет применения ряда структурных и технологических приемов.

3. Обоснован выбор различных видов реконфигурации (опциональной, структурной и реконфигурации тестовых блоков), направленных на расширение функциональности СБИС.

Основной практический результат

На основе предложенной методики разработана и изготовлена по отечественной технологии с проектными нормами 0,8 мкм СБИС флэш ЗУ с произвольным доступом информационной емкостью 1 Мбит. Получены работоспособные образцы. Результаты диссертации использованы в ОАО «Ангстрем» при выполнении ОКР, что подтверждается актом о внедрении.

Частные практические результаты

1. Создан набор библиотечных элементов, предназначенный для проектирования флэш ЗУ с произвольным доступом в среде САПР Cadence и содержащий: высоковольтный блок, блок резервирования, блок опорных напряжений, входные и выходные буферы. Использование перечисленного набора библиотечных элементов позволяет спроектировать флэш ЗУ NOR-типа емкостью до 4 Мбит в сжатые сроки, поскольку исключаются этапы повторной разработки схемотехники и топологии основных блоков флэш ЗУ.

2. В разработанной СБИС флэш ЗУ использован блок резервирования, позволяющий повысить выход годных изделий с 5 до 10%.

3. Обоснован и реализован способ задания тока записи флэш ячейки памяти для страничной записи с использованием встроенного генератора высокого напряжения малой мощности.

Проведенное тестирование разработанной СБИС флэш ЗУ показало соответствие ее характеристик требованиям технического задания, а также характеристикам зарубежных аналогов, изготовленных по аналогичной технологии.

Список работ, опубликованных по теме диссертации

1. Севрюков А.Н. Разработка тестовых структур для КМОП универсального тестового кристалла // Электроника, микро- и нанoeлектроника. Сборник научных трудов. М.: МИФИ. - 2004. - С. 126–128.
2. Севрюков А.Н. Обзор архитектур современных микросхем флэш памяти // Научная сессия МИФИ-2004 . Т.1. Сборник научных трудов. М.: МИФИ. - 2004. - С. 214–215.

3. Севрюков А.Н. Снижение тока записи ячеек флеш ЗУ // Электроника, микро- и наноэлектроника. Сборник научных трудов. М.: МИФИ. - 2005. - С. 178–179.
4. Севрюков А.Н. Сокращенный маршрут проектирования флеш ЗУ с малой потребляемой мощностью // Электроника, микро- и наноэлектроника. Сборник научных трудов. М.: МИФИ. - 2006. - С. 41–45.
5. Севрюков А.Н. Архитектура СФ-блоков флеш ЗУ СБИС типа «Система на кристалле» // Вопросы радиоэлектроники, серия ЭВТ, 2008, вып. 3, С. 49–56
6. Севрюков А.Н. Масштабирование флэш памяти // Электроника, микро- и наноэлектроника. Сборник научных трудов. М.: МИФИ. - 2007. - С. 82–85.
7. Севрюков А.Н. Блок резервирования флеш ЗУ 1 Мбит // Автоматика, электроника, микро- и наноэлектроника. Сборник научн.трудов. - М.: МИФИ. - 2008. - С. 93–94.
8. Севрюков А.Н. Надежность ячеек флэш памяти // Электроника, микро- и наноэлектроника. Сборник научных трудов. М.: МИФИ. - 2008. - С. 29–34.

Подписано в печать 22.10.2008 г.

Печать трафаретная

Заказ № 1020

Тираж: 100 экз.

Типография «11-й ФОРМАТ»

ИНН 7726330900

115230, Москва, Варшавское ш., 36

(499) 788-78-56

www.autoreferat.ru