

Щигорев Леонид Алексеевич

**Комбинированные методы повышения сбое- и
отказоустойчивости блоков статической оперативной памяти в
составе «систем на кристалле»**

Специальность 2.3.2 – Вычислительные системы и их элементы

АВТОРЕФЕРАТ

диссертации на соискание ученой степени

кандидата технических наук

Автор:



Москва

2024

Диссертация выполнена на кафедре «Микро- и наноэлектроники» Федерального государственного автономного образовательного учреждения высшего образования «Национальный исследовательский ядерный университет «МИФИ»

**Научный
руководитель:**

Бочаров Юрий Иванович
кандидат технических наук, доцент,
доцент отделения нанотехнологий в электронике,
спинтронике и фотонике офиса образовательных
программ
НИЯУ МИФИ, г. Москва

**Официальные
оппоненты:**

Лагов Петр Борисович
доктор технических наук, доцент,
начальник отдела
АО «Российские космические системы», г. Москва

Тельпухов Дмитрий Владимирович
доктор технических наук,
заместитель генерального директора
ООО «Альфачип», г. Москва

Эннс Виктор Иванович
доктор технических наук, доцент,
заместитель генерального директора
АО «Научно-исследовательский институт молекулярной
электроники», г. Москва

Защита состоится 16 мая 2024 года в 15 ч. 00 мин. на заседании диссертационного совета МИФИ.2.01 федерального государственного автономного образовательного учреждения высшего образования «Национальный исследовательский ядерный университет «МИФИ» (115409, г. Москва, Каширское шоссе, 31).

С диссертацией можно ознакомиться в библиотеке и на сайте <https://ds.mephi.ru> НИЯУ «МИФИ»

Автореферат разослан « _____ » _____ 2024 г.

Просим принять участие в работе совета или прислать отзыв, заверенный гербовой печатью организации, по адресу НИЯУ МИФИ на имя ученого секретаря диссертационного совета.

Ученый секретарь

диссертационного совета МИФИ.2.01, к.т.н.

Веселов Д.С.

Общая характеристика диссертации

Актуальность работы

Создание высокопроизводительных вычислительных систем является одной из важнейших задач, определяющей рост качества жизни человечества. Основной характеристикой вычислительных систем является их производительность – число команд, выполняемых в единицу времени. Производительность процессора определяется рядом факторов: рабочей частотой, архитектурой, наличием встроенной кэш памяти различного уровня и объема (от сотен килобайт до единиц мегабайт). В составе вычислительных систем наибольшие потери производительности приходится на обмен данными между отдельными микросхемами из-за ограничений скорости передачи данных по печатной плате. В связи с этим актуально развитие СБИС класса «система на кристалле» (СнК), содержащих в себе блоки, выполняющие все большее количество функций. СнК могут включать в свой состав управляющий микропроцессор, специализированные сопроцессоры, контроллеры периферийных устройств и внутреннюю память. Для изготовления современных СнК используются технологические процессы, которые позволяют снизить проектные нормы производства микросхем до уровня 28 нм и ниже. Использование форм-фактора СнК обеспечивает повышение производительности микропроцессора, приводит к повышению надежности, снижению габаритов и росту производительности вычислительных систем.

Одним из важнейших условий повышения производительности высокопроизводительных вычислительных систем является увеличение объема и быстродействия накристалльной статической оперативной памяти (СОЗУ). При снижении проектных норм производства современных интегральных микросхем увеличивается плотность размещения элементов, в частности, элементов памяти. Устройства памяти могут занимать до 75% площади современных СнК по оценкам экспертов Semico Research Corp. Вследствие этого они становятся основными элементами, содержащими производственные дефекты. На их долю также приходится большинство сбоев и отказов в течение эксплуатации микросхем, особенно при работе в условиях агрессивной среды.

Для повышения выхода годных и парирования ячеек, в которых произошли сбои и отказы, включают резервные элементы, а также устройства на базе кодов, исправляющих одиночные ошибки.

При реализации метода помехоустойчивого кодирования (ЕСС – error correction code) в накристалльных СОЗУ в составе СнК наиболее распространены устройства нециклического типа на базе кодов Хемминга и Хсяо.

Недостатками этого метода являются аппаратные затраты и увеличение времени выборки данных, обусловленные увеличением разрядности СОЗУ для хранения проверочных бит и наличием кодер-декодеров.

Вопросам построения аппаратуры на базе кодов нециклического типа посвящено немало научно-технических трудов, в частности Р. Хемминга, М.Хсяо, Р. Блейхута, Морелос-Сарагоссы.

Из отечественных авторов можно отметить труды Хетагурова Я.А., Филипчука Е.В., Петрова К.А., Золотарева В.В.

Метод, использующий резервные элементы памяти для замены поврежденных элементов, называется методом саморемонта (BISR – built-in self-geraig – встроенный саморемонт). Обычно этот метод применяется при производственном контроле однократно для повышения выхода годных. Тестирование памяти и генерация конфигурации резервных элементов в этом случае производится при помощи внешнего тестового оборудования. Хранение данных о конфигурации резервных элементов осуществляется в энергонезависимой памяти.

Недостатком этого способа реализации саморемонта памяти является невозможность использования резервных элементов, невостребованных во время производственного контроля, для замены ячеек памяти, отказавших в процессе эксплуатации микросхемы.

Альтернативой однократной замене является многократная реконфигурация. В этом случае конфигурация резервных элементов хранится в энергозависимых регистрах. Тестирование и конфигурирование резервных элементов производятся при помощи устройств, входящих в состав СнК – устройства встроенного самотестирования (УВСТ) и устройства встроенного саморемонта (УВСП).

Резервирование элементов памяти можно разделить на два основных типа: одномерное и двухмерное. Под одномерным типом понимают резервирование строками или столбцами, а под двухмерным – строками и столбцами.

Архитектурам и алгоритмам работы УВСП для двухмерного резервирования посвящено множество работ. Однако нередко разработчикам приходится сталкиваться с блоками памяти, использующими одномерное резервирование. В то время как в литературе освещены способы применения резервных строк, проблема реализации устройств, обеспечивающих работу с резервными столбцами, остается практически неопианной.

Вопросам построения УВСП для двухмерного резервирования посвящены работы Т. Кавагу, А. Сегал, Т. Ченг. Из отечественных авторов можно выделить труды Саргсяна В.К.

По методам одномерного резервирования существуют работы авторов И.Кима, Г. Карунаратне, П. Нордхольца и Д. Хуанг.

Вопросам аппаратной реализации замены поврежденных элементов памяти посвящены работы М. Николаидиса, М. Чои, Ч. Су, В. Ли, Х. Лианг.

Существенное увеличение числа успешно парируемых сбоев и отказов ячеек памяти может быть достигнуто в результате комбинированного использования резервных элементов и помехоустойчивого кодирования. Однако в литературе остается неопианной задача контроля операции записи данных в СОЗУ. Отсутствуют оценки затрат при использовании комбинированных методов повышения сбое- и отказоустойчивости блоков СОЗУ, изготовленных по технологиям 28 нм КМОП, что является существенным затруднением для разработчиков СнК, направленных на специальные условия эксплуатации с повышенной вероятностью появления сбоев и отказов. Также не описаны методы

оценки эффективности различных способов повышения сбое- и отказоустойчивости при разбиении блока памяти.

Блоки статических оперативных запоминающих устройств в составе СнК, занимающих значительную площадь кристалла и имеющих высокую плотность компоновки элементов, вносят большой вклад в общее количество сбоев и отказов СнК. Из-за невозможности создания оперативных запоминающих устройств, в которых исключены сбои и отказы, **важной и актуальной** является задача исследования комбинированных методов парирования сбоев и отказов в ячейках СОЗУ и разработки средств их реализующих с целью обеспечения корректного функционирования СнК.

Цели и задачи диссертации

Целью данной диссертационной работы является развитие комбинированных методов и аппаратных средств повышения сбое- и отказоустойчивости блоков СОЗУ с помощью резервных элементов памяти и устройств, исправляющих одиночные ошибки.

Для достижения обозначенной цели в диссертационной работе поставлены и решены следующие задачи:

1. Проведение сравнительного анализа методов повышения сбое- и отказоустойчивости блоков СОЗУ; исследование причин, ограничивающих их применение.
2. Разработка алгоритмов работы и структур устройств встроенного саморемонта памяти (УВСР), работающих с учетом диагностической информации различной степени детализации.
3. Разработка методов повышения сбое- и отказоустойчивости памяти, позволяющих повысить количество парируемых неработоспособных ячеек СОЗУ и обеспечить контроль за корректностью операции записи.
4. Разработка комплексного критерия оценки эффективности комбинированных методов повышения сбое- и отказоустойчивости памяти.

Объект исследования

Объектами исследования являются блоки СОЗУ, содержащие устройства на базе кодов коррекции ошибок и резервные элементы, позволяющие парировать отказы и сбои ячеек памяти.

Предмет исследования

Предметами исследования являются методы обнаружения и коррекции ошибок, структуры и алгоритмы работы устройств встроенного саморемонта памяти, а также комбинации методов коррекции ошибок и саморемонта памяти.

Методы исследования

Для решения поставленных задач применялись методы, базирующиеся на использовании математического аппарата комбинаторики, теории вероятности,

имитационного моделирования, теории помехоустойчивого кодирования и теории проектирования ЭВМ. Для практической реализации применялись методы компьютерного моделирования с использованием САПР Cadence.

Научная новизна диссертации

1. Предложен комбинированный метод повышения сбое- и отказоустойчивости блоков СОЗУ с использованием устройств на базе кодов обнаружения и коррекции ошибок, резервных столбцов, применения побайтового контроля четности, обеспечивающий коррекцию сбитых и отказавших ячеек «на лету», замену отказавших элементов при выполнении периодических сеансов самотестирования и выявление ошибок на линии записи данных.
2. Предложен комплексный критерий оценки эффективности комбинированных методов повышения сбое- и отказоустойчивости блоков СОЗУ.
3. Предложены структура и алгоритм работы устройства встроенного саморемонта памяти (УВСР), ориентированного на работу без учета информации о расположении поврежденных столбцов, обеспечивающие преимущество по времени поиска корректной конфигурации резервных элементов.
4. Предложена структура устройства встроенного саморемонта памяти (УВСР), ориентированного на работу с учетом информации о расположении поврежденных столбцов, заключающаяся в хранении вектора ошибки, и определяющая его преимущества в аппаратурных затратах и длинах критических путей, перед структурой, хранящей адрес поврежденного столбца.
5. Предложен алгоритм работы устройства встроенного саморемонта памяти (УВСР), ориентированного на работу с учетом информации о расположении поврежденных столбцов, обеспечивающий в процессе операции самотестирования выявление ячеек памяти, при обращении к которым обнаружен сбой, благодаря чему корректирующая способность используется исключительно для замены элементов, в которых произошел отказ.

Практическая значимость

1. Применение блоков СОЗУ, реализованных при помощи предложенного комбинированного методов повышения сбое- и отказоустойчивости, ведет к увеличению числа парируемых неработоспособных ячеек памяти до 15 раз.
2. Разработаны поведенческие модели на основе всех предлагаемых в диссертации алгоритмов и структур устройств встроенного саморемонта памяти (УВСР), что позволяет применять их в любых микросхемах, использующих резервные столбцы блоков СОЗУ. Проведен синтез всех предлагаемых УВСР для проектно-технологической нормы 28 нм КМОП, получены количественные оценки их основных параметров.
3. Предлагаемая структура устройства встроенного саморемонта памяти (УВСР), хранящего вектор ошибки в качестве диагностической информации, обеспечивает сокращение аппаратурных затрат до 29% и длины критических

путей до 35% по сравнению со структурой, хранящей адрес поврежденного столбца.

Достоверность полученных результатов

Достоверность результатов диссертационной работы подтверждена численными экспериментами, проведенными с использованием современных САПР. Работоспособность разработанного УВСП подтверждается результатами испытаний опытных образцов СБИС МИВЭМ, в структуру которой оно было введено.

Основные положения диссертации, выносимые на защиту

1. Алгоритм работы и структура устройства встроенного саморемонта памяти (УВСП), ориентированного на работу без информации о расположении поврежденных столбцов и с любым количеством однотипных блоков памяти, позволяют сократить время поиска корректной конфигурации резервных столбцов.
2. Структура устройства встроенного саморемонта памяти (УВСП) при хранении вектора ошибки в качестве информации о расположении поврежденных столбцов обладает наименьшими аппаратурными затратами и длинами критических путей.
3. Структура устройства встроенного саморемонта памяти (УВСП), позволяющего в процессе операции самотестирования выявить ячейки памяти, при обращении к которым обнаружен сбой, позволяющая сохранить корректирующую способность резервных элементов для замены отказавших ячеек памяти.
4. Комбинированный метод повышения сбое- и отказоустойчивости блоков СОЗУ позволяет повысить число парируемых неработоспособных ячеек памяти и обеспечить контроль за корректностью операции записи.
5. Метод оценки эффективности различных способов повышения сбое- и отказоустойчивости блоков СОЗУ.

Внедрение результатов диссертации

Предложенные в диссертации структуры и алгоритмы УВСП, а также комбинированный метод повышения сбое- и отказоустойчивости были внедрены в ЗАО НТЦ «Модуль» при разработке СБИС МИВЭМ на основе микропроцессорных ядер PowerPC и NMC3. Получен акт о внедрении.

Апробация результатов диссертации

Результаты исследований, представленные в диссертации, были представлены в качестве докладов на следующих всероссийских и международных конференциях: «Научная сессия НИЯУ МИФИ» (2015 г.), «Цифровая обработка сигналов и ее применение – DSPA» (2015 г. – 2018 г.), «Молодежь и наука» (2015 г.), «Advanced Micro- and nanoelectronics systems and technologies» (2015 г., 2017 г.), «Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)»

(2016-2020 гг.) «Электроника, микро- и наноэлектроника» (2017 г.), «Радиоэлектроника и приборостроение» (2017 г.).

Публикации результатов диссертации

Основные результаты, достигнутые в диссертационной работе, опубликованы в 17 работах. В том числе в 7 статьях в изданиях из перечня рекомендованных изданий ВАК Российской Федерации, 2 трудах конференций, опубликованных в изданиях, индексируемых базами данных Scopus и/или Web of Science, а также в 7 работах в сборниках трудов конференций. Получен один патент Российской Федерации на изобретение.

Структура и объем работы

Диссертационная работа изложена на 137 страницах, включает в себя 36 рисунков и 46 таблиц. Состоит из введения, 4 глав, заключения, списка использованной литературы и приложения.

Содержание диссертации

Во введении обоснована актуальность выбранной темы исследования, определена цель и задача работы, сформулированы основные положения, выносимые на защиту. Отмечены полученные результаты, имеющие научную новизну и практическую значимость.

В первой главе проведен сравнительный анализ устройств на базе помехоустойчивых кодов для применения в составе СнК, обозначены границы применимости метода исправления одиночной ошибки. Также проведен сравнительный анализ способов проведения замены резервными столбцами. Проведены оценки аппаратурных и временных затрат, связанных с введением кодер-декодеров и резервных элементов, отмечен синергетический эффект совместного использования методов исправления ошибки и замены резервными элементами.

Реализация метода обнаружения и исправления ошибок для блоков СОЗУ требует введения дополнительных аппаратных средств: кодер-декодеров и ячеек памяти для хранения проверочных бит. Это влияет на время выборки данных и величину площади кристалла, занимаемой СОЗУ.

Проведен анализ научно-технических работ, посвященных проблемам построения кодер-декодеров нециклического типа, используемых в СОЗУ СнК. По его результатам установлено, что среди кодер-декодеров, обнаруживающих все двойные ошибки и требующих наименьшие аппаратные затраты, наибольшим быстродействием обладают устройства на базе кода Хсяо.

Проведен анализ границы применимости метода повышения сбое- и отказоустойчивости блоков СОЗУ в составе СнК. Блок памяти, защищенный по методу исправления одиночной ошибки, станет неработоспособным, если найдется хотя бы одно информационное слово, содержащее две неработоспособные ячейки. Для определения границы применимости этого метода необходимо определить

вероятность появления слова с двумя поврежденными ячейками в зависимости от общего количества накопленных неработоспособных ячеек (ячеек, в которых произошел сбой или отказ) и общего количества хранимых информационных слов. Предполагается, что каждая ячейка памяти повреждена равновероятно.

Вероятность Y_{ecc} того, что блок памяти работает корректно при использовании метода исправления одиночной ошибки [1]:

$$Y_{ecc} = ((1 - p)^n - np(1 - p)^{n-1})^W, \quad (1)$$

где W – количество информационных слов, хранящихся в блоке памяти, n – разрядность кодового слова (информационные и проверочные разряды), p – вероятность того, что ячейка памяти повреждена.

На рис. 1 представлен график зависимости вероятности работоспособности памяти от числа общего числа неработоспособных ячеек в соответствии с формулой 1. Связь между p и количеством неработоспособных ячеек D :

$$D = pWn. \quad (2)$$

Данные представлены для 64-разрядного информационного слова при значениях $W = 1К, 2К, 4К$ и $8К$.

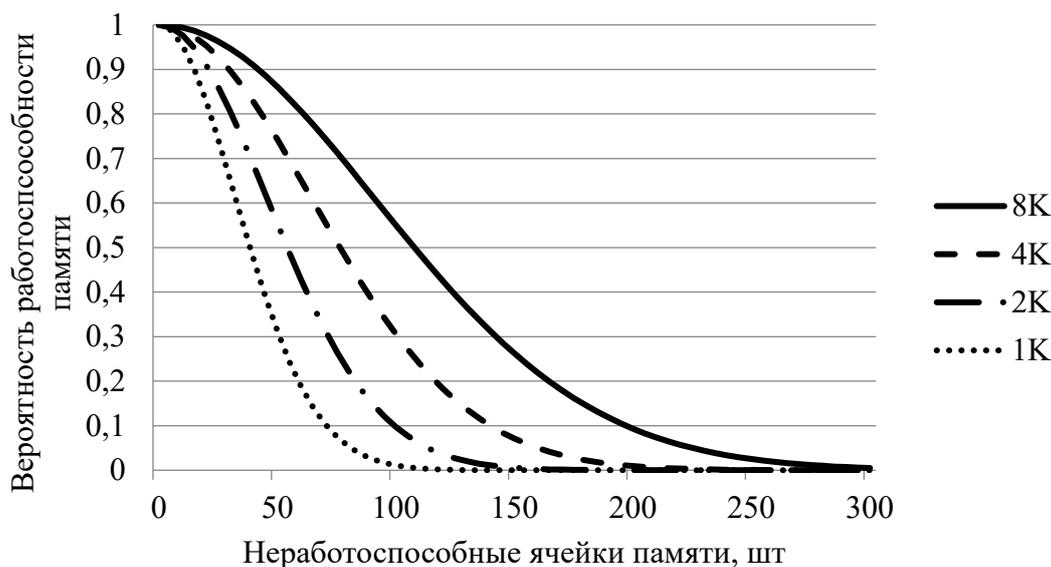


Рис. 1. Зависимость вероятности работоспособности памяти от числа неработоспособных ячеек при использовании исправления одиночной ошибки для различных значений количества информационных слов

Анализ данной зависимости позволяет сделать вывод, что вероятности работоспособности памяти стремится к нулю при количестве неработоспособных ячеек памяти на порядок меньше количества хранимых информационных слов при использовании парирования одиночной ошибки. Это является существенным ограничением данного метода повышения сбое- и отказоустойчивости блоков СОЗУ в составе СнК.

Проведен анализ научно-технических работ, освещающих применение резервных элементов СОЗУ в составе СнК. В результате установлено, что одним из наиболее распространенных методов повышения выхода годных на стадии производственного контроля является введение резервных столбцов. В ходе анализа показаны преимущества введения резервных столбцов по сравнению с введением резервных строк [2-4]:

- наименьшие дополнительные затраты времени на выборку данных.
- большее количество покрываемых дефектов вспомогательных устройств (мультиплексоры столбцов, усилители считывания (sense amplifier), регистры предварительной записи, регистры предварительного считывания) блока памяти.

ВРП Y_R при использовании R резервных столбцов:

$$Y_R = \sum_{j=0}^R P_j = \sum_{j=0}^R \binom{k}{j} p_{col}^j (1 - p_{col})^{k-j}, \quad (3)$$

где p_{col} – вероятность того, что хотя бы одна поврежденная ячейка имеется в столбце,

k – разрядность информационного слова.

В технической литературе отсутствует анализ аппаратных реализаций замены резервными столбцами, а также их сравнение с кодер-декодерами, исправляющими одиночную ошибку. Такой анализ проведен в диссертации.

Способом замены одного отказавшего элемента резервным является сдвиг информационных бит на одну позицию с помощью N мультиплексоров «2 в 1», где N – разрядность корректируемого слова (SHIFT). Соответственно, в каналах записи и чтения на входах и выходах элементов включаются N мультиплексоров «2 в 1».

Для коррекции нескольких отказавших элементов требуется использование нескольких резервных элементов. В этом случае для замены m основных столбцов блока памяти, хранящего N -разрядные слова, требуется N мультиплексоров «из $(m+1)$ в 1» в каналах чтения и записи (MUX m) [5].

Были разработаны и промоделированы поведенческие модели СОЗУ с использованием различных способов проведения замены резервными столбцами (SHIFT, MUX1, MUX2, MUX4), а также кодер-декодеров Хсяо (SEC-DED – single error correction-double error detection) для проектно-технологической нормы 28 нм КМОП. Рассмотрены блоки СОЗУ емкостью 4К, хранящие слова размерности 8, 16, 32 и 64 бита. Результаты получены в САПР Cadence Encounter RTL Compiler по проектно-технологической норме 28 нм КМОП.

Анализ полученных результатов моделирования различных вариантов реализации блоков СОЗУ с повышенной сбое- и отказоустойчивостью позволяет сделать следующие выводы:

- Относительная величина затрат площади кристалла при введении средств парирования отказов зависит от количества вводимых дополнительных битов и разрядности хранящихся слов N . При увеличении N дополнительные затраты

площади существенно уменьшаются. При значениях $N = 32$ и более бит, возрастание площади кристалла не превышает 17%.

- Время выборки данных возрастает при увеличении разрядности N . При изменении N от 8 до 64 бит возрастание времени выборки для вариантов незащищенного блока и SHIFT составляет 20%, а для других вариантов – 50...90%.
- Время выборки данных увеличивается на 10...20% для варианта SHIFT, в 2,5...3,0 раза для варианта SEC-DED и MUX4, в 2,1...2,5 раза для варианта MUX2 и в 1,7...2,2 раза для варианта MUX1.
- При парировании одиночных отказов вариант SHIFT обеспечивает время выборки в 1,5 раза меньше, но занимает в 2 раза большую дополнительную площадь по сравнению с вариантом MUX1. Вариант SEC-DED имеет в 2...3 раза большее время выборки и в 1,8...2,1 раза большую дополнительную площадь по сравнению с вариантом SHIFT, но не требует введения устройств встроенного саморемонта и самотестирования.

Проведенный анализ научно-технической литературы показал, что комбинация методов исправления одиночной ошибки и резервирования приводит к существенному росту числа парируемых неработоспособных ячеек памяти, названному синергетическим эффектом [1-2].

На рис. 2 представлена зависимость вероятности работоспособности памяти от числа неработоспособных ячеек для 4 способов повышения сбое- и отказоустойчивости блока СОЗУ емкостью 4К слов разрядности 8 бит:

- 2 резервных столбца,
- исправление 1 ошибки,
- исправление 1 ошибки + 1 резервный столбец,
- исправление 1 ошибки + 2 резервных столбца.

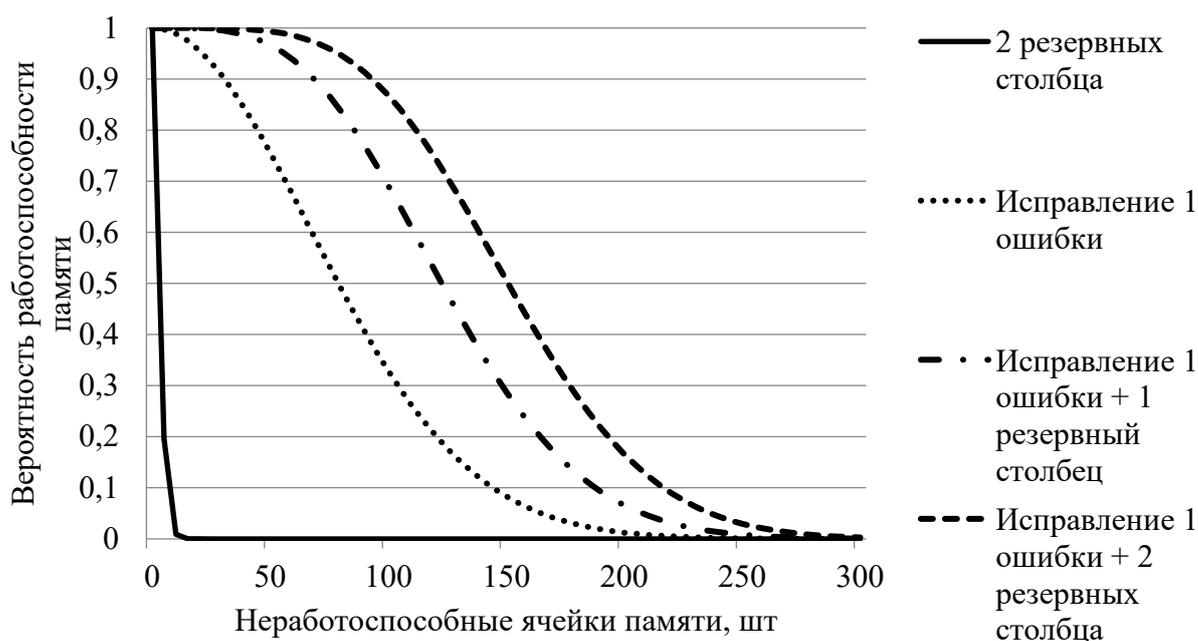


Рис. 2. Зависимость вероятности работоспособности памяти от числа неработоспособных ячеек памяти при использовании 4 способов повышения сбое- и отказоустойчивости блока СОЗУ емкости 4К слов, разрядности 8 бит

В результате анализа данной зависимости сделаны следующие выводы:

- Синергетический эффект проявляется уже при малом количестве неработоспособных ячеек памяти (10) при сравнении 2 резервных столбцов и комбинации методов. При этом рост вероятности работоспособности памяти составляет 2 порядка;
- При сравнении способов исправления одиночной ошибки и комбинации с 1 и 2 резервными столбцами рост вероятности работоспособности памяти наблюдается при нескольких десятках накопленных неработоспособных ячеек памяти. Выигрыш составляет до 6 и 16 раз соответственно.

Для замены отказавших в процессе эксплуатации микросхемы ячеек необходимо разместить на кристалле устройства встроенного саморемонта и самотестирования (УВСР и УВСТ). Однако, несмотря на длительное существование метода введения резервных элементов в СОЗУ, мало описанными остаются алгоритмы проведения операции саморемонта для резервных столбцов. Фактически не описанными являются структуры УВСР, предназначенные для ремонта СОЗУ с одномерным резервированием. Существует лишь несколько поверхностно описанных архитектур для замены строк. Не упоминаются особенности работы с УВСТ, которые различаются способами предоставления информации о наличии в памяти поврежденных ячеек, что сказывается на времени поиска конфигурации резервных элементов. Также не описанными остаются алгоритмы работы УВСР, позволяющего в процессе операции самотестирования выявить ячейки памяти, при обращении к которым обнаружен сбой, а не отказ.

Отсутствует анализ затрат, накладываемых различными комбинациями методов исправления одиночной ошибки и резервирования элементов СОЗУ в составе СнК, изготовленных по современной технологии 28 нм КМОП. Это является существенным затруднением для разработчиков в процессе проектирования систем, направленных на специальные условия эксплуатации с повышенной вероятностью появления сбоев и отказов в процессе эксплуатации. Не рассмотренной также остается задача контроля операции записи данных в память, как части комбинированного подхода повышения сбое- и отказоустойчивости работы блоков СОЗУ.

Решения данных научно-технических задач представлены в диссертационной работе.

Вторая глава посвящена проектированию устройства встроенного саморемонта памяти (УВСР), ориентированного на работу без учета информации о расположении поврежденных столбцов.

Существенные отличия в построении структуры и алгоритма работы УВСР вносит способ, при помощи которого устройство встроенного самотестирования

памяти (УВСТ) информирует о результате проведенного тестирования. Некоторые УВСТ обладают только однобитовым выходным сигналом, определяющим статус операции тестирования: «Память исправна / Память неисправна». В этом случае поиск неисправных основных элементов памяти придется осуществлять методом перебора [6].

Определено соотношение, показывающее максимальное число операций самотестирования, необходимых для поиска всех поврежденных основных элементов и корректной конфигурации резервных элементов, для блоков СОЗУ, в которых замена столбцов осуществляется сдвигом Z_{sh} :

$$Z_{sh} = \left(\frac{N}{r}\right)^r + 1, \quad (4)$$

где N – размерность информационного слова,
 r – количество резервных столбцов.

Чем больше разрядность информационного слова, тем больше число возможных конфигураций резервных элементов. Показано, что разбиение блока памяти на блоки, содержащие меньшие по размеру информационные слова, приводит к общему сокращению максимального числа операций самотестирования.

Пусть Y_{sh} – величина, равная отношению Z_{sh} при реализации блока памяти из одного массива к Z_{sh} при реализации блока памяти той же разрядности из нескольких массивов меньшей разрядности. Эта величина вводится для вычисления выигрыша, заключающегося в снижении максимального числа необходимых операций самотестирования при разбиении блока памяти.

$$Y_{sh} = \frac{Z_{sh}(kN)}{Z_{sh}(N)} = \frac{\left(\frac{kN}{r}\right)^r + 1}{\left(\frac{N}{r}\right)^r + 1} \approx k^r, \quad (5)$$

где k – количество блоков меньшей разрядности, из которых собран блок памяти.

Также определено соотношение, показывающее максимальное число операций самотестирования, необходимых для поиска всех поврежденных основных элементов и корректной конфигурации резервных элементов, для блоков СОЗУ, в которых замена столбцов осуществляется мультиплексированием Z_{mux} . Оно будет равно числу всех возможных комбинаций резервных элементов. Вычисляется эта величина как количество сочетаний из N основных элементов по количеству резервных.

$$Z_{mux} = \frac{N!}{r!(N-r)!} + 1, \quad (6)$$

где N – размерность информационного слова,
 r – количество резервных элементов.

Пусть Y_{mux} – величина, равная отношению Z_{mux} при реализации блока памяти из одного массива к Z_{mux} при реализации блока памяти той же разрядности из

нескольких массивов меньшей разрядности. Эта величина вводится для вычисления выигрыша, заключающегося в снижении максимального числа необходимых операций самотестирования при разбиении блока памяти.

$$Y_{mux} = \frac{Z_{mux}(kN)}{Z_{mux}(N)} = \frac{\frac{(kN)!}{r!(kN-r)!+1}}{\frac{(N)!}{r!(N-r)!+1}} \approx \frac{\frac{(kN)!}{(kN-r)!}}{\frac{(N)!}{(N-r)!}} = \prod_{i=0}^{r-1} \frac{kN-i}{N-i}, \quad (7)$$

где k – количество блоков меньшей разрядности, из которых собран блок памяти.

В табл. 1 представлены значения максимального числа операций самотестирования Z и выигрыша при разбиении блока памяти Y для различной разрядности информационного слова $N = 8, 16, 32, 64$ и 128 бит и количества резервных столбцов $r = 2$ и 4 . Блоки, хранящие информационные слова разрядности больше 8, состояются из k блоков, хранящих слова разрядности 8.

Табл. 1. Максимальное число операций самотестирования (Z_{sh}, Z_{mux}), выигрыш при разбиении блока памяти (Y_{sh}, Y_{mux}) в зависимости от разрядности блока памяти (N) и числа резервных столбцов (r)

N	8		16		32		64		128	
k	1		2		4		8		16	
r	2	4	2	4	2	4	2	4	2	4
Сдвиг										
Z_{sh}	17	17	65	257	257	4097	1025	65537	4097	1048577
Y_{sh}	1	1	4	16	16	256	64	4096	256	65536
Мультиплексирование										
Z_{mux}	29	71	121	1821	497	35961	2017	635377	8129	10668001
Y_{mux}	1	1	4	26	18	514	72	9077	290	152400

Проведенный анализ показывает, что разбиение блока памяти на несколько массивов меньшей разрядности может уменьшить максимальное число операций самотестирования для поиска корректной конфигурации резервных элементов на несколько порядков.

На рис. 3 представлен предложенный в диссертации алгоритм поиска конфигурации резервных элементов (КРЭ) без учета информации о расположении поврежденных ячеек памяти.

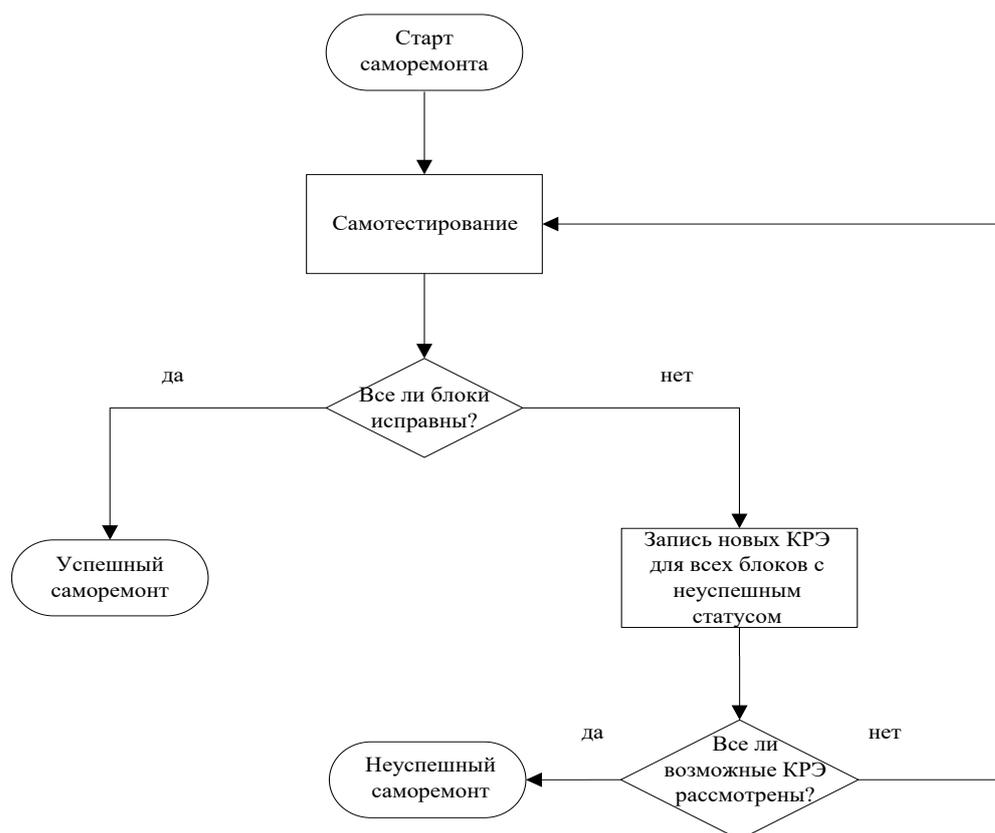


Рис. 3. Алгоритм поиска конфигурации резервных элементов без учета информации о расположении поврежденных ячеек

На основе алгоритма была разработана структура УВСПР и поведенческая модель. Проведено моделирование по проектно-технологической норме 28 нм КМОП поведенческих моделей УВСПР, предназначенных для работы с одним блоком СОЗУ различной разрядности – 8, 16, 32, 64 и 128 бит. Данные предоставлены с учетом аппаратурных затрат на УВСТ, реализующего алгоритм тестирования памяти March-LR [7].

Анализ результатов позволяет сделать следующие выводы:

- Задержка прохождения сигнала блоков УВСПР и УВСТ практически не изменяется в зависимости от разрядности блока памяти – в пределах 2%.
- Относительные затраты по площади на реализацию резервирования наибольшие для блока памяти, хранящего наименьшее слово (8-битное) – 24%, и наименьшие для блока памяти, хранящего наибольшее слово (128-битное) – 5%.

Также было проведено моделирование по проектно-технологической норме 28 нм КМОП поведенческих моделей УВСПР, предназначенных для работы с несколькими блоками памяти, для оценки аппаратурных затрат и максимальных задержек прохождения сигнала при реализации блока СОЗУ, реализованного 5 разными способами:

- (А) из 16-и 8-разрядных блоков,
- (Б) из 8-и 16-разрядных блоков,
- (В) из 4-х 32-разрядных блоков,

- (Г) из 2-х 64-разрядных блоков,
- (Д) из 1-го 128-разрядного блока.

Анализ результатов позволяет сделать следующие выводы:

- Задержка прохождения сигнала блоков УВСП и УВСТ уменьшается по мере снижения количества обслуживаемых блоков (от А к Д) на 25%.
- Относительные затраты по площади на реализацию резервирования наибольшие для блока памяти А – 18% бит, и наименьшие для блока памяти Д – 5%.
- Относительные затраты по площади на реализацию блоков УВСП и УВСТ к площади матриц памяти с учетом резервных элементов не превышают 2%.

Третья глава посвящена проектированию устройства встроенного саморемонта памяти (УВСП), ориентированного на работу с учетом информации о расположении поврежденных столбцов.

Сокращения максимального количества необходимых операций самотестирования для обнаружения всех поврежденных элементов и корректной конфигурации резервных элементов можно достигнуть, используя информацию о расположении поврежденных ячеек памяти. Она может быть предоставлена при помощи вектора ошибки. Он содержит столько же разрядов, сколько и информационное слово, хранящееся в памяти. Формируется вектор ошибки в ходе операции самотестирования путем побитового сложения по модулю 2 ожидаемых данных со считанными значениями из памяти. Если обнаружено несовпадение, то в соответствующем бите появится значение «1».

При использовании вектора ошибки необходимо провести две операции самотестирования: первая – для обнаружения отказавших ячеек, а вторая – для проверки корректной работы памяти с резервными элементами. Количество операций не зависит от аппаратной реализации способа замены элементов. Показано, что использование вектора ошибки уменьшает время проведения операции саморемонта при осуществлении замены поврежденных основных элементов методом мультиплексирования до трех порядков и до двух порядков при использовании замены методом сдвига при сравнении блоков памяти, хранящих 8 - 64 разрядные слова.

В качестве прототипа для построения УВСП с резервными столбцами выбрано устройство, предназначенное для саморемонта памяти с резервными строками, описанное в патенте [8].

Предложена структура анализатора ремонта памяти с сохранением адреса поврежденного столбца.

В качестве развития структур УВСП для снижения аппаратных затрат и длин критических путей предложено в качестве диагностической информации сохранять вектор ошибки, а не адрес поврежденного столбца.

Проведено моделирование разработанных поведенческих моделей УВСП по проектно-технологической норме 28 нм КМОП на основе обоих предложенных структур. Анализ результатов моделирования двух структур показывает, что

Рис. 4. Алгоритм «сбой-отказ»

Проведено моделирование по проектно-технологической норме 28 нм КМОП разработанных поведенческих моделей УВСП при реализации алгоритма «сбой-отказ», на основе структуры, хранящей вектор ошибки. Полученные результаты позволяют сделать выводы, что максимальное увеличение аппаратных затрат составляет 24% по сравнению с анализаторами без использования алгоритма, а время прохождения сигнала практически не изменяется - увеличение не превышает 3%.

Четвертая глава посвящена описанию предлагаемого комбинированного метода повышения сбое- и отказоустойчивости блоков СОЗУ в составе СнК, а также новому методу оценки эффективности различных реализаций памяти.

Использование резервных элементов предлагается в качестве одного из методов повышения сбое- и отказоустойчивости блоков памяти. Однако в одиночку резервные элементы не смогут нивелировать негативный эффект появления ячеек, в которых произошли сбои или отказы в процессе активной работы. Для исправления ошибок «на лету» необходимо применение устройств на базе помехоустойчивого кодирования нециклического типа.

Но если данные повреждены на шине записи или в процессоре, то устройства, исправляющие одиночные ошибки, не смогут парировать такую ситуацию, т.к. на вход кодеров будут поданы уже поврежденные данные и проверочные разряды будут сформированы для изначально некорректных информационных слов. Обнаружить такие ошибки можно при помощи контроля четности. При считывании из памяти будет генерироваться сигнал о том, что данные неисправны.

Метод контроля четности является самым простым и распространенным способом обнаружения ошибок, накладывающим наименьшие аппаратные затраты, однако его использование в одиночку не позволяет исправлять ошибки «на лету» и заменять поврежденные элементы.

В работе предложен комбинированный метод повышения сбое- и отказоустойчивости блоков СОЗУ в составе СнК, использующий контроль четности, исправление одиночной ошибки и резервные столбцы.

В первой главе показан расчет зависимости вероятности работоспособности памяти от числа неработоспособных ячеек памяти для одного блока $Y_1(D)$. Предположим, что память собрана из k таких блоков. Необходимо определить вероятность того что ни один из них не выйдет из строя после того, как суммарное число неработоспособных ячеек во всех блоках станет равным D .

В работе предлагается методика расчета вероятности работоспособности памяти при разбиении блока памяти на основе формулы Бернулли.

Для этого необходимо определить вероятность попадания i дефектов в любой из k блоков, после того, как суммарное число неработоспособных ячеек во всех блоках станет равным d :

$$Y(i) = \binom{d}{i} \left(\frac{1}{k}\right)^i \left(1 - \left(\frac{1}{k}\right)\right)^{d-i} \quad (8)$$

Вероятность того, что выйдет из строя хотя бы один блок равна произведению следующих величин:

- вероятности выхода из строя произвольного блока $\sum_{i=1}^d (1 - Y_1(i)) Y(i)$
- вероятности попадания в произвольный блок $1/k$
- количества блоков k

$$\left(\sum_{i=1}^d (1 - Y_1(i)) Y(i)\right) \frac{1}{k} k \quad (9)$$

Тогда вероятность работоспособности k блоков равна:

$$Y_k(d) = 1 - \sum_{i=1}^d (1 - Y_1(i)) Y(i) \quad (10)$$

Важно отметить, что вероятности работоспособности памяти комбинаций методов (исправления ошибки и резервных столбцов) и (исправления ошибки, резервных столбцов и контроля четности) совпадают, т.к. бит четности только информирует процессор об обнаруженной ошибке в процессе чтения данных из памяти.

На рис. 5-6 представлены зависимости вероятности работоспособности памяти от числа неработоспособных ячеек памяти для 4 способов повышения сбое- и отказоустойчивости блока СОЗУ емкостью $W = 4K$ информационных слов и разрядностью 128 бит, реализованных при помощи разбиения на 16 блоков и без разбиения:

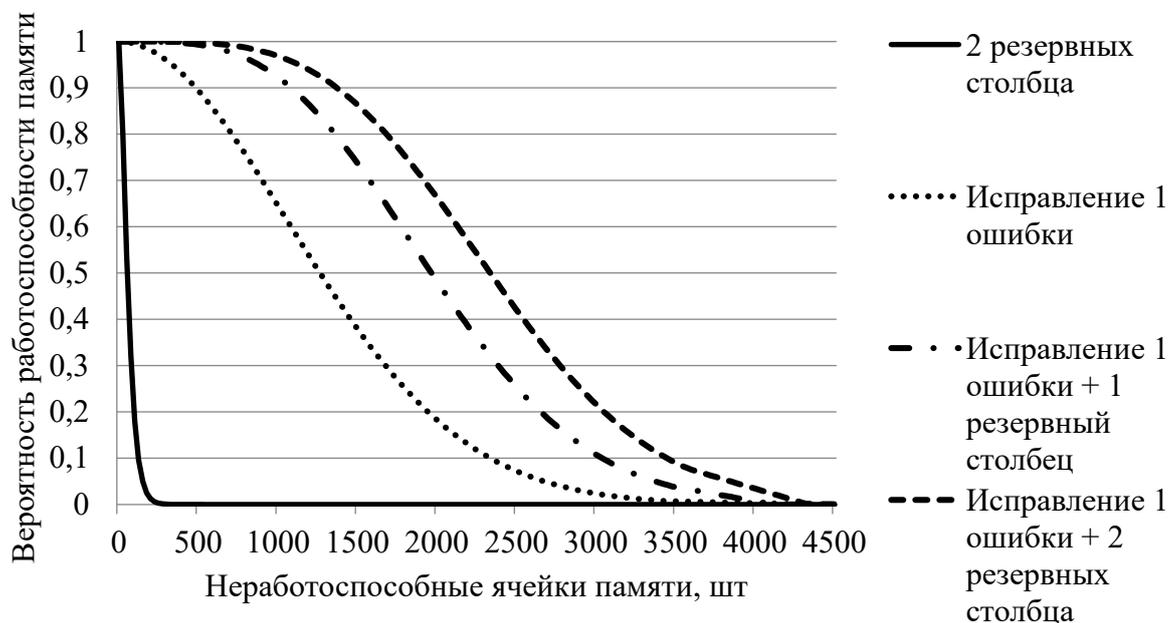


Рис. 5. Зависимость вероятности работоспособности памяти при использовании 4 способов повышения сбое- и отказоустойчивости блока СОЗУ для реализации А



Рис. 6. Зависимость вероятности работоспособности памяти при использовании 4 способов повышения сбое- и отказоустойчивости блока СОЗУ для реализации Д

Разработаны поведенческие модели различных реализаций блока СОЗУ для 6 вариантов: 1 без защиты и 5 с применением различных комбинаций методов повышения сбое- и отказоустойчивости. Варианты реализации перечислены в табл. 2.

Табл. 2 Комбинации методов повышения сбое- и отказоустойчивости СОЗУ в составе СнК

№ варианта	Применяемые методы повышения сбое- и отказоустойчивости
1	Без защиты
2	Побайтовый контроль четности
3	Исправление одиночной ошибки
4	Побайтовый контроль четности + исправление одиночной ошибки
5	Исправление одиночной ошибки + 2 резервных столбца
6	Побайтовый контроль четности + исправление одиночной ошибки + 2 резервных столбца

Для оценки аппаратных затрат и изменения времени выборки данных были спроектированы блоки памяти емкостью 4Кх128, реализованные пятью способами разбиения, описанными в главе 2.

Было проведено моделирование по проектно-технологической норме 28 нм КМОП. На рис. 7 представлена диаграмма, отражающая отношения площади различных моделей СОЗУ к незащищенному варианту для каждого разбиения.

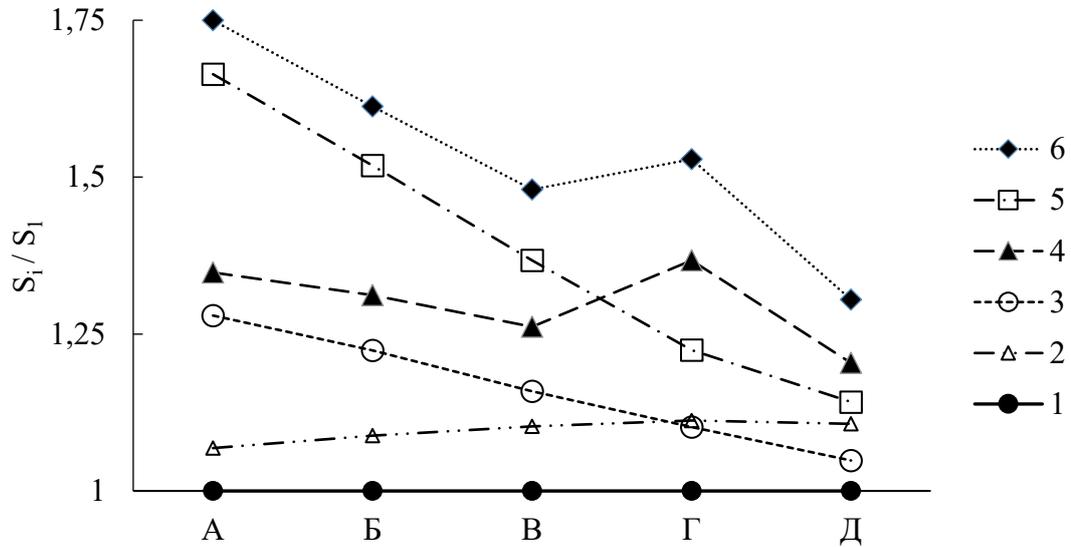


Рис. 7 Зависимость площади блока памяти 4Кх128 для различных способов разбиения при использовании методов повышения сбое- и отказоустойчивости

На рис. 8 представлена диаграмма, отражающая отношения время выборки данных различных моделей СОЗУ к незащищенному варианту для каждого разбиения.

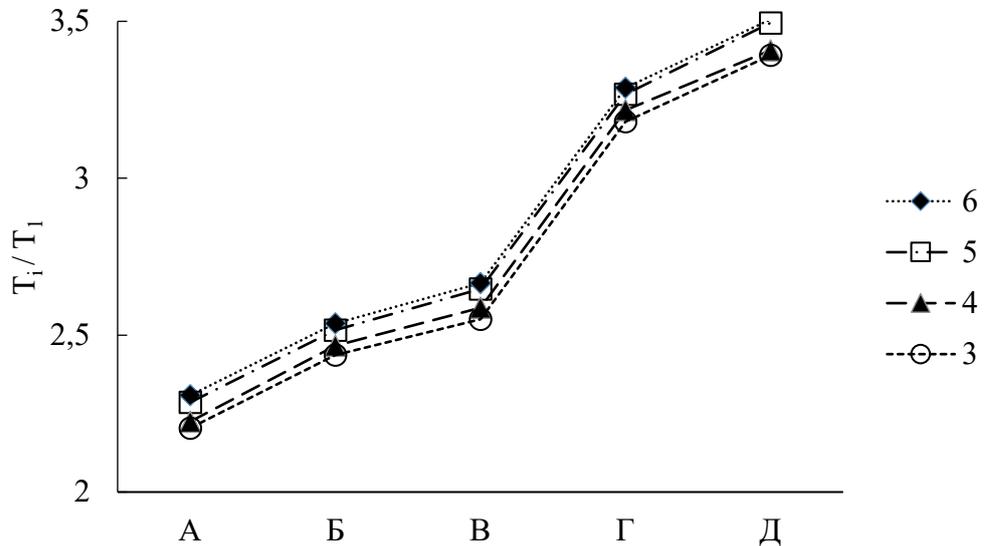


Рис. 8 Зависимость времени выборки данных из блока памяти 4Кх128 для различных способов разбиения при использовании методов повышения сбое- и отказоустойчивости

Для общей оценки эффективности предложен комплексный критерий в виде функции $X(t)$, построенной при помощи интерполяционной формулы Ньютона.

$$X(t) = 2k^2 \left(\frac{cd-2c+1}{d} \right) + k \left(\frac{4c-1-3cd}{d} \right) + c \quad (11)$$

где d – число парируемых неработоспособных ячеек памяти рассматриваемого метода, изменяющаяся в пределах $[1; +\infty)$;

c – сложность реализации (аппаратурные и временные затраты), изменяющаяся в пределах $[2; +\infty)$;

t – приоритет оценки, изменяющийся в пределах $[0; 1]$ – от наиболее простой реализации до максимальной надежности.

Чем меньше $X(t)$, тем лучше. Экстремум в том случае, если сложность (c) наибольшая, а надежность (d) наименьшая.

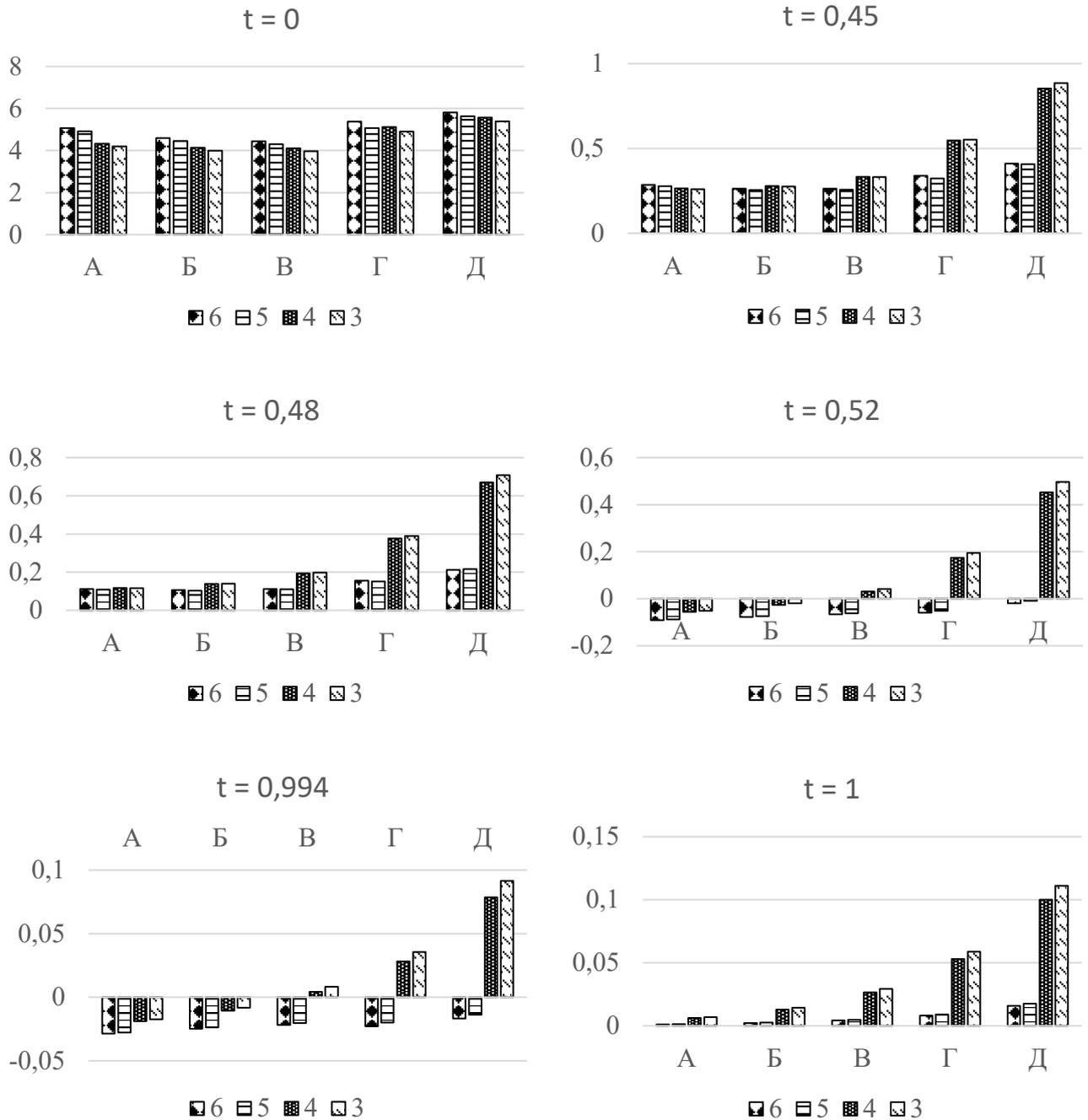


Рис. 9. Функция оценки эффективности при различных значениях коэффициента приоритета для всех методов, содержащих исправление одиночной ошибки

Анализ полученных результатов моделирования позволяет сделать следующие выводы:

- При сравнении реализаций А и Д число покрываемых неработоспособных ячеек памяти растет в 13 раз для вероятности работоспособности памяти равной 99%, и в 15 раз для 90% при использовании метода 6.
- Реализация варианта 6 ведет к росту площади в 1,3 – 1,8 раза, а времени выборки в 2,3 – 3,5 раза.
- Реализация В показывает преимущество в области высокого приоритета сложности реализации над числом покрываемых дефектов в пределах $0 < t < 0,45$.
- Реализация А показывает преимущество в области высокого приоритета надежности реализации над числом покрываемых дефектов в пределах $0,5 < t < 1$.

В **заключении** сформулированы основные результаты диссертации, которые заключаются в развитии комбинированных методов и средств повышения сбое- и отказоустойчивости блоков СОЗУ с помощью резервных элементов памяти и устройств, исправляющих одиночные ошибки.

Основные теоретические результаты диссертации:

1. Предложен комбинированный метод повышения сбое- и отказоустойчивости блоков СОЗУ, заключающийся в использовании исправления одиночной ошибки, резервных столбцов, разбиении блока памяти и побайтового контроля четности, который позволяет повысить число парируемых неработоспособных ячеек памяти и обеспечить контроль за корректностью операции записи.
2. Предложен комплексный критерий оценки эффективности комбинированных методов повышения сбое- и отказоустойчивости.
3. Предложены структура и алгоритм работы устройства встроенного саморемонта памяти (УВСР), ориентированного на работу без информации о расположении поврежденных столбцов с любым количеством однотипных массивов памяти, которые позволяют сократить время поиска корректной конфигурации резервных столбцов.
4. Предложена структура устройства встроенного саморемонта памяти (УВСР), ориентированного на работу с учетом информации о расположении поврежденных столбцов, которая обладает наименьшими аппаратными затратами и длинами критических путей при хранении вектора ошибки в качестве диагностической информации.
5. Предложен алгоритм работы устройства встроенного саморемонта памяти (УВСР), позволяющий обнаружить ячейки памяти, в которых произошел сбой,

который сохраняет корректирующую способность резервных элементов исключительно для замены отказавших ячеек памяти.

Основные практические результаты диссертации:

1. Применение блоков СОЗУ, реализованных при помощи предложенного комбинированного методов повышения сбое- и отказоустойчивости, ведет к увеличению числа парируемых неработоспособных ячеек памяти до 15 раз.
2. Разработаны поведенческие модели на основе всех предлагаемых в диссертации алгоритмов и структур устройств встроенного саморемонта памяти (УВСП), что позволяет применять их в любых микросхемах, использующих резервные столбцы блоков СОЗУ. Проведен синтез всех предлагаемых УВСП для проектно-технологической нормы 28 нм КМОП, получены количественные оценки их основных параметров.
3. Предлагаемая структура устройства встроенного саморемонта памяти (УВСП), хранящего вектор ошибки в качестве диагностической информации, обеспечивает сокращение аппаратурных затрат до 29% и длины критических путей до 35% по сравнению со структурой, хранящей адрес поврежденного столбца.

Список литературы

1. M. Horiguchi, K. Itoh Nanoscale Memory Repair. – N.Y.: Springer, 2011. – P.215.
2. C.-H. Stapper, H.-S. Lee Synergistic fault-tolerance for memory chips // IEEE Trans. on Comp. 1992. Vol. 41. Issue. 9. P. 1078-1087.
3. Альфонсо Д.М., Исаев М.В., Костенко В.О. Разработка системы тестирования и повышения выхода годной продукции для кэш-памяти микропроцессора // Вопросы радиоэлектроники. 2014. № 3. сер. ЭВТ. С. 106-118.
4. Kim I., Zorian Y., Komoriya G., Pham H. and all Built-in self repair for embedded high density SRAM // Test Conference. Proceedings. 1998. P. 1112-1119.
5. Nicolaidis M., Achouri N., Boutobza S. Optimal reconfiguration functions for column of data-bit built-in self-repair // Design, Automation and Test in Europe Conference and Exhibition. Proc. 2003. P. 590-595.
6. Nordholz P., Otterstedt J., Niggemeyer D. A Defect-Tolerant Word-Oriented Static RAM with Built-In Self-Test and Self-Reconfiguration // 8th Annual IEEE International Conference of Innovative Systems In Silicon. 1996. P. 124-132.
7. Ad J. Van de Goor, G. N. Gaydadjiev, V. G. Mikitjuk, V. N. Yarmolik March-LR: a test for realistic linked faults // 14th VLSI Test Symposium, Proceedings. 1996. P. 272-280.
8. J. Huang Built-in self-repair wrapper methodology, design flow and design architecture. US Patent № 6691264 B2. 10.02.2004. Int. CI 11C 29/00, G11C 7/00.
9. Sridharan V., Liberty D. A study of DRAM failures in the field // International Conference for High Performance Computing Networking Storage and Analysis. IEEE. 2012. P. 1-11.

Публикации автора по теме диссертации

Публикации в изданиях из перечня ВАК РФ:

В изданиях категории К1:

1. Щигорев Л.А. Эффективность методов повышения сбое- и отказоустойчивости блоков статической оперативной памяти // Микроэлектроника. 2022, Т.51, № 4. С. 313-320.
2. Шагурин И.И., Щигорев Л.А. Сравнительный анализ комбинированных методов повышения сбое- и отказоустойчивости блоков статической оперативной памяти // Известия высших учебных заведений. Электроника. 2016, Т. 21, № 4. С. 347-352.

В изданиях категории К2:

3. Щигорев Л.А. Применение шины диагностики в задаче саморемонта блоков статической оперативной памяти // Нано- и микросистемная техника. 2018, Т. 20, № 2. С. 98-106.
4. Щигорев Л.А. Организация саморемонта блоков статической оперативной памяти с резервными элементами// Проблемы разработки перспективных микро- и наноэлектронных систем-2016 Сб. трудов. / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2016. Часть III. С. 178-185.
5. Щигорев Л.А. Развитие структуры и алгоритма работы устройства встроенного саморемонта статической оперативной памяти // Проблемы разработки перспективных микро- и наноэлектронных систем-2018 Сб. трудов. / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2018. Выпуск II. С. 123-129.
6. Щигорев Л.А., Шагурин И.И. Комбинированные методы парирования сбоев и отказов статической оперативной памяти в «системах на кристалле» // Проблемы разработки перспективных микро- и наноэлектронных систем. 2020. Выпуск 1. С. 148-154.
7. Щигорев Л.А. Развитие устройств встроенного саморемонта блоков статической оперативной памяти // Электронная техника. Серия 3: Микроэлектроника. 2021, Т.182, № 2. С. 17-24.

Патент РФ:

8. Пат. 2667786 С1, МПК G11С 29/04. Устройство встроенного саморемонта с резервными элементами / Щигорев Л.А. – Опубл. 24.09.2018. – Бюл. № 27. – 31 С.

Материалы конференций опубликованные в изданиях индексируемых базами данных Scopus или Web Of Science:

9. Shchigorev L.A., Shagurin I.I. Combined methods of tolerance increasing for embedded SRAM // 1st International Telecommunication Conference “Advanced

- Micro- and Nanoelectronic Systems and Technologies” / IOP Conference Series: Materials Science and Engineering. Vol. 151, № 1. 2016. 012004. P. 1-5.
10. Shchigorev L.A., Shagurin I.I. Comparison of hardware and timing penalties for eliminating SRAM failures // 2nd International Telecommunication Conference “Advanced Micro- and Nanoelectronic Systems and Technologies” / IOP Conference Series: Materials Science and Engineering. Vol. 498, № 1. 2019. 012017. P. 1-8.

Материалы конференций:

11. Шевченко П.А., Щигорев Л.А. Анализ функционально-алгоритмических методов повышения сбоеустойчивости многоядерных СБИС, использующих процессор цифровой обработки сигналов NEUROMATRIX //17-я Международная конференция «Цифровая обработка сигналов и ее применение – DSPA-2015», Москва, доклады, Т.2, 2015, С. 677-681.
12. Шагурин И.И., Шевченко П.А., Щигорев Л.А. Оценка возможности применений схемотехнических методов повышения стойкости многоядерных СБИС, использующих процессор цифровой обработки сигналов NEUROMATRIX, к воздействию специальных факторов // Научная сессия НИЯУ МИФИ-2015, Аннотации докладов, т.2, стр. 117.
13. Щигорев Л.А. Методы повышения сбое- и отказоустойчивости элементов встроенной статической оперативной памяти // XIX Международная телекоммуникационная конференция студентов и молодых ученых «Молодежь и наука». Тезисы докладов, Ч.1. М: НИЯУ МИФИ, 2015. С. 165-166.
14. Щигорев Л.А. Особенности использования резервных элементов статической оперативной памяти в многоядерных СБИС, использующих архитектуру процессора NEUROMATRIX //18-я Международная конференция «Цифровая обработка сигналов и ее применение – DSPA-2016», Москва, доклады, Т.2, 2016, С. 806-811.
15. Щигорев Л.А. Сравнение методов обхода поврежденных ячеек статической оперативной памяти в многоядерных СБИС, использующих архитектуру процессора цифровой обработки сигналов NEUROMATRIX //19-я Международная конференция «Цифровая обработка сигналов и ее применение – DSPA-2017», Москва, доклады, Т.2, 2017, С. 622-626.
16. Щигорев Л.А. Методы исправления последствий отказов в блоках статической оперативной памяти // Труды НИИСИ РАН. М.: НИИСИ РАН, 2017. Т.2, № 2. С. 110-114.
17. Щигорев Л.А. Повышение сбое- и отказоустойчивости блоков статической оперативной памяти СНК при помощи резервных столбцов //20-я Международная конференция «Цифровая обработка сигналов и ее применение – DSPA-2018», Москва, доклады, Т.2, 2018, стр. 708-712.