

На правах рукописи

Балбеков Антон Олегович

**МЕТОДЫ И СРЕДСТВА ПОВЫШЕНИЯ УСТОЙЧИВОСТИ К
МНОГОКРАТНЫМ СБОЯМ ЯЧЕЕК СТАТИЧЕСКОЙ ПАМЯТИ И
КОМБИНАЦИОННЫХ ЭЛЕМЕНТОВ МЕТАЛЛ-ОКСИД-
ПОЛУПРОВОДНИКОВЫХ МИКРОСХЕМ С ПРОЕКТНЫМИ
НОРМАМИ УРОВНЯ 65 НМ**

05.13.05 – «Элементы и устройства вычислительной техники
и систем управления»

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Автор:



МОСКВА – 2022 г.

Диссертация выполнена в Федеральном государственном учреждении
"Федеральный научный центр Научно-исследовательский институт
системных исследований Российской академии наук"
(ФГУ ФНЦ НИИСИ РАН)

Научный руководитель:

кандидат технических наук
Горбунов Максим Сергеевич,
ведущий научный сотрудник НТК-1
АО «ЭНПО СПЭЛС», г. Москва

Официальные оппоненты:

доктор технических наук, профессор
Гамкрелидзе Сергей Анатольевич
директор ИСВПЧЭ РАН, г. Москва

доктор технических наук, профессор
Петросянц Константин Орестович,
МИЭМ НИУ ВШЭ, г. Москва

кандидат физико-математических наук
Усейнов Рустэм Галеевич,
ведущий научный сотрудник
АО «НИИП», г. Лыткарино

Защита диссертации состоится 30 июня 2022 г. в 17:00 на заседании
диссертационного совета МИФИ.05.03 в Национальном
исследовательском ядерном университете «МИФИ» по адресу: 115409, г.
Москва, Каширское шоссе, д. 31.

С диссертацией можно ознакомиться в библиотеке НИЯУ «МИФИ» и
на сайте ds.mephi.ru.

Ученый секретарь
диссертационного совета
к.т.н,

Веселов Денис Сергеевич



ОБЩАЯ ХАРАКТЕРИСТИКА ДИССЕРТАЦИИ

Актуальность темы диссертации. Одной из важных характеристик интегральных микросхем (ИС), предназначенных для применения в космическом пространстве, является устойчивость к воздействию тяжелых заряженных частиц (ТЗЧ), которое проявляется в виде одиночных сбоев (ОС) и катастрофических отказов (КО). Механизм ОС и КО заключается в возникновении импульсов тока и напряжения на узлах электрической схемы. Импульсы распространяются по комбинационным путям и могут привести к изменению состояния ячеек памяти и захвату некорректной информации триггерами.

В технологиях с топологической нормой менее 180 нм важной является проблема многократных сбоев, одной из мер борьбы с ними является полуэмпирическое правило проектирования топологии, заключающееся в разнесении чувствительных узлов на расстояние не менее 2 мкм. Уменьшение плотности упаковки транзисторов ведет к росту занимаемой площади, увеличению длины линий металлизации, замедлению работы и росту энергопотребления. Применение мер защиты от сбоев ведет к ухудшению характеристик ИС, т.е. производительность и сбоеустойчивость являются взаимоисключающими требованиями, и при проектировании ИС необходимы меры достижения компромисса.

Применение мер защиты от сбоев требует проверки их эффективности на как можно более ранних этапах разработки. Обычно испытания сбоеустойчивости производятся на ускорителе частиц на этапе предварительных испытаний, когда внести изменения в проект уже невозможно. Если испытания выявят недостатки, весь цикл разработки, изготовления и отладки придется повторить. Для решения этой проблемы разрабатываются различные методы моделирования. Основным подходом является использование технологических САПР (TCAD) для моделирования отклика на воздействие ТЗЧ небольшого участка электрической схемы. Этот отклик далее используется в SPICE моделировании для детектирования сбоя. Такой подход позволяет учесть влияние топологии на образование многократного сбоя. Для использования TCAD необходимо иметь доступ к технологической информации, которая является коммерческой тайной фабрики, что затрудняет его применение в стандартном маршруте проектирования.

Данная работа направлена на решение научной задачи развития методов моделирования воздействия ТЗЧ на ИС, интегрированных в типовой маршрут проектирования, и позволяющих оценить эффективность мер защиты от многократных сбоев на этапе разработки. Применение данной методики позволило разработать набор рекомендаций к проектированию топологии, которые позволяют усилить архитектурные и

схемотехнических меры защиты с целью соблюдения баланса сбоеустойчивости и производительности.

Значимой и актуальной является задача развития методов повышения сбоеустойчивости ИС, которые позволяют достичь необходимого баланса производительности и сбоеустойчивости.

Объектом исследования являются КМОП элементы статической памяти и комбинационные элементы, разработанные для технологий с топологической нормой уровня 65 нм.

Предметом исследования являются методы моделирования воздействия ТЗЧ на ИС, учитывающие топологию и встроенные в типовой маршрут проектирования, и топологические решения, позволяющие снизить кратность сбоев в КМОП элементах статической памяти и комбинационных ячейках.

Состояние исследований по проблеме.

Воздействию отдельных ядерных частиц на КМОП ИС посвящены работы д.т.н., проф. Чумакова А.И. и д.т.н., проф. Никифорова А.Ю. Доминирующими эффектами являются дозовые эффекты, эффекты структурных повреждений, эффекты объемной ионизации полупроводниковых структур и одиночные радиационные эффекты. Расчетно-экспериментальные методы оценки сбоеустойчивости ИС описаны в работах д.т.н., проф. Зебрева Г.И. Методы анализа устойчивости электронных компонентов к радиационному воздействию разрабатывались д.т.н., проф. Бутиным В.И. Моделированию ионизационных переходных процессов посвящены работы д.т.н., проф. Панюшкина Н.Н. Современные исследования сосредоточены на проблеме многократных сбоев. Вопросам многоуровневого моделирования радиационных эффектов посвящены работы д.т.н., проф. Петросянца К.О. В работах д.т.н., проф. Стенина В.Я. и д.т.н., проф. Шелепина Н.А. рассматриваются вопросы моделирования воздействия ТЗЧ на электрическую схему и проектирования сбоеустойчивой памяти.

Целью диссертации является развитие методов повышения устойчивости к многократным сбоям ячеек статической памяти и комбинационных элементов КМОП микросхем с проектными нормами уровня 65 нм.

Достижение этой цели обеспечено решением следующих задач:

1. Анализ существующих методов моделирования воздействия ТЗЧ на ИС с учетом топологии.
2. Разработка методики SPICE моделирования воздействия ТЗЧ на ИС с учетом топологии, встроенной в стандартный маршрут проектирования ИС.
3. Калибровка и верификация методики моделирования.

4. Сравнительный анализ эффективности топологических методов снижения кратности сбоев.
5. Разработка и верификация рекомендаций к проектированию топологии сбоеустойчивых элементов статической памяти и комбинационных ячеек.

Основные результаты диссертации, выносимые на защиту:

1. Методика SPICE моделирования параметров сбоеустойчивости разрабатываемой ИС, отличается учетом топологии и влияния эффекта паразитного биполярного транзистора. По сравнению с TCAD, достигается увеличение скорости моделирования не менее чем на порядок, при сохранении точности SPICE.
2. Методика моделирования, после однократной калибровки для базового технологического процесса по трем наборам данных: зависимость кратности сбоев от ЛПЭ, распределение кратностей сбоев по ЛПЭ и карты сбоев, позволяет эффективно прогнозировать параметры сбоеустойчивости произвольных блоков памяти и комбинационных элементов, разработанных для того же базового технологического процесса.
3. Механизм неоднородной локализации сбоев в памяти от одной частицы, обусловлен модуляцией потенциала кармана/подложки и активацией паразитного биполярного транзистора, что отличает его от механизмов на основе влияния вторичных частиц и близкого расположения сбоев от разных частиц.
4. Максимальная кратность сбоев в столбце для ячеек памяти, разработанных с учетом рекомендаций, в 2,5 раза меньше, чем в ячейках плотной памяти – не более $\times 4$. Плотность данных в массиве этих ячеек в 3 раза выше, чем у ячеек DICE. Ячейки памяти, в топологии которых учтены рекомендации, демонстрируют пример достижения баланса основных характеристик и сбоеустойчивости ИС.

Научная новизна диссертации:

1. Методика SPICE моделирования воздействия ТЗЧ на ИС одновременно учитывает диффузионный сбор зарядов, эффект паразитного биполярного транзистора и топологию устройства.
2. Калибровка методики по результатам испытаний массива плотной памяти на воздействие ТЗЧ. Калибровка осуществляется по данным зависимости сечения сбоев от ЛПЭ, распределения кратности сбоев по ЛПЭ и картам сбоев.
3. Методика сбора данных о влиянии топологии и параметров транзисторов на образование многократных сбоев, основанная на моделировании двух КМОП инверторов с различным

- расположением контактов к карману и подложке и перебором параметров транзисторов и расстояния между ними.
4. На основании результатов моделирования сформулированы рекомендации к проектированию топологии 65 нм элементов памяти и комбинационных ячеек, позволяющие снизить кратность сбоев.

Практическая значимость диссертации заключается в следующем:

1. Разработана программа, реализующая методику SPICE моделирования воздействия ТЗЧ на ИС с учетом топологии, предназначенная для оценки параметров сбоеустойчивости ячеек статической памяти, комбинационных ячеек и устройств на их основе, разработанных по объемной КМОП технологии с минимальной топологической нормой 28 – 180 нм.
2. Получено 2 свидетельства о государственной регистрации программы для ЭВМ.
3. Методика моделирования и реализующая ее программа внедрены в ФГУ ФНЦ НИИСИ РАН и использовались при проектировании СБИС сбоеустойчивого коммутатор SpaceWire, выполненного по технологии TSMC 65 нм, а также в рамках ОКР «Обработка-И7-РК» и ОКР «Схема-ИЗ-Т», и в АО «НИИМА «Прогресс» в ОКР «Схема-И6-Т».

Личный вклад соискателя. Личный вклад соискателя в проведенные исследования состоит в разработке методики SPICE моделирования с учетом топологии, проведении ее калибровки для технологии TSMC 65 нм и верификации по результатам эксперимента. Методика реализована в виде программы, встроенной в стандартный маршрут проектирования. Соискатель произвел серию моделирований структуры из двух инверторов. Руководствуясь собранными данными, соискатель сформулировал рекомендации к проектированию, позволяющие уменьшить кратность сбоев. Последнее было верифицировано по результатам эксперимента, данные которого обрабатывал соискатель. Верификация показала эффективность рекомендации в снижении кратности сбоев до требуемого уровня. **Экспериментальные данные**, приведенные в диссертации, были получены в рамках НИР и ОКР совместно со специалистами ФГУ ФНЦ НИИСИ РАН, АО «ЭНПО СПЭЛС», НИЯУ МИФИ и АО «НИИМА «Прогресс».

Апробация результатов диссертации. Результаты работы доложены на всероссийских и международных научно-технических конференциях: «The International Conference “Micro- and Nanoelectronics – 2016”», «The 2nd International Conference on Particle Physics and Asropysics», «Стойкость – 2017», «2017 International Conference on Microelectronics», «2017 17th

European Conference on Radiation and Its Effects on Components and Systems», «2018 Moscow Workshop on Electronics and Networking Technologies», «Проблемы разработки перспективных микро- и наноэлектронных систем – 2020», «2020 20th European Conference on Radiation and Its Effects on Components and Systems».

Опубликованные результаты. По теме диссертации опубликовано 2 статьи в российских научно-технических журналах, рекомендованных ВАК, 2 статьи в журнале IEEE Transactions on Nuclear Science, индексируемом системами Web of Science и Scopus, 5 статей в рецензируемых научно-технических сборниках трудов международных конференций, индексируемых Scopus (ICMNE, ICPPA, MWENT, MIEL).

Структура и объем диссертации. Работа состоит из введения, 2 глав, заключения и списка литературы. Общий объем диссертации – 104 страницы. Диссертация содержит 55 рисунков. Список литературы содержит 106 наименований.

СОДЕРЖАНИЕ ДИССЕРТАЦИИ

Введение

Во введении раскрыт вопрос актуальности работы и сформулирована ее цель. Раздел содержит постановку задач исследования, результаты, выносимые на защиту, и изложение научной новизны и практической значимости.

1 Методика моделирования воздействия ТЗЧ на ИС с учетом топологии

Методика предназначена для моделирования реакции на воздействие ТЗЧ ячеек памяти, комбинационных ячеек и устройств на их основе, разработанных для объемных КМОП базовых технологических процессов с минимальными технологическими нормами 28 – 180 нм, при нормальном падении частиц. Задачей методики является дать разработчику ИС инструмент, который позволит в рамках типового маршрута проектирования сравнить эффективность различных мер повышения сбоустойчивости.

Предложенная соискателем процедура преобразования топологии проиллюстрирована на рисунке Рисунок 1. Топология устройства преобразуется в двухмерную прямоугольную сетку с заданным шагом из резисторов и диодов. МОП-транзисторы дополняются паразитным биполярным транзистором модели Эберса-Молла, в которой параметр «коэффициент передачи по току» является калибровочным; параметры диодов берутся из документации разработка от фабрики.

Воздействие ТЗЧ моделируется в виде «пятна», накладываемого на топологию разрабатываемой ИС. К попавшим под «пятно» МОП-транзисторам подключаются источники тока, моделирующие радиационный отклик, в данном случае – в форме источника «двойная экспонента». Параметрами источников тока являются: вносимый заряд, постоянные спада и нарастания. Заряд вычисляется из ЛПЭ частицы, воздействие которой моделируется. В качестве приближения принято равномерное распределение зарядов внутри площади «пятна», количество заряда, инжестрированное в каждый МОП-транзистор пропорционально площади перекрытия «пятном».

Значения постоянных спада и нарастания остаются постоянными для данной технологии и взяты из литературы. Полученная в результате структура преобразуется в электрическую схему и сохраняется для дальнейшего моделирования в виде текстового файла в формате SPICE. Методика моделирует случай нормального падения частиц.

Для моделирования необходимо задать набор калибровочных параметров: сопротивления карманов, коэффициент передачи по току паразитного биполярного транзистора, SPICE модели диодов, глубина

активного слоя и др. Полный список калибровочных параметров и источники информации для предварительных значений представлены в таблице Таблица 1.

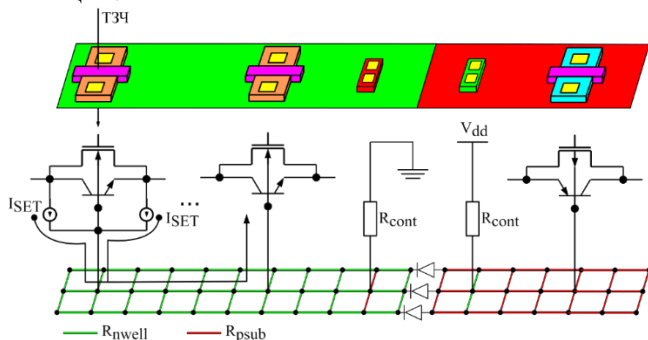


Рисунок 1 – Учет топологии в методике моделирования

Таблица 1 – Описание калибровочных параметров

| Параметр | Описание | Источник |
|-------------|--|---|
| R_{psub} | Сопротивление подложки | Документация на техпроцесс |
| R_{nwell} | Сопротивление кармана | Документация на техпроцесс |
| R_{cont} | Сопротивление контакта | Документация на техпроцесс |
| α | Коэффициент передачи по току паразитного биполярного транзистора | Латература: Vittoz E.A. |
| l | Длина сбора | Документация на техпроцесс |
| $D(ЛПЭ)$ | Зависимость диаметра области воздействия от ЛПЭ | Размер кластера сбитых ячеек в эксперименте |

Методика моделирования может быть интегрирована в стандартный маршрут проектирования ИС, т.к. работает с распространенными форматами файлов – GDSII и SPICE.

В методике принят ряд упрощений, направленных на повышение скорости моделирования, что делает ее точность ниже TCAD моделирований. Для структуры из 100 ячеек памяти одно моделирование занимает около 5 минут, для сравнения, моделирование одной ячейки памяти в TCAD занимает несколько часов. Таким образом, представленная

методика является компромиссом между точностью, скоростью работы, размером объектов и встраиваемостью в маршрут проектирования ИС.

Калибровка осуществляется один раз для базового технологического процесса. Для этого необходимо провести испытания на ТЗЧ массива плотной статической памяти. Ячейки памяти должны иметь плотную упаковку, транзисторы иметь минимальные размеры с минимальным расстоянием между ними и минимальной емкостью узлов. Среди объектов, на работу с которыми рассчитана методика, такие ячейки будут иметь наименьший критический заряд. Блок плотной статической памяти имеет регулярную структуру и является удобным объектом для исследования т.к. выступает в роли прямоугольной сетки детекторов ТЗЧ с известными координатами узлов.

Была проведена калибровка методики для технологии TSMC 65 нм. Объектами калибровки являлись 6-ти транзисторные ячейки плотной памяти, размер 0,5 мкм x 1,05 мкм, критический заряд оценивается в 4 фКл. Эксперимент проводился на ускорителе частиц, память облучалась различными ионами при нормальном падении частиц, их параметры представлены в таблице 2, флюенс составлял $8,5 \cdot 10^5 \text{ см}^2 - 1,6 \cdot 10^7 \text{ см}^2$. В результате получена зависимость сечения сбоев от ЛПЭ, кратности сбоев 1 – 10 и несимметричные карты с неоднородной локализацией сбоев, что продемонстрировано на рисунке 4.

Таблица 2 – Параметры ионов и кратность сбоев в эксперименте

| Ион | Эффективное ЛПЭ, МэВ · см ² / мг | Кратность сбоев |
|-------------------|---|-----------------|
| ²² Ne | 7 | 1..3 |
| ⁴⁰ Ar | 18 | 2..4 |
| ⁸⁴ Kr | 41 | 3..6 |
| ¹³⁶ Xe | 60 | 6..9 |

Для калибровки был разработан массив памяти из 84 ячеек. Использовались те же ячейки памяти, из которых состояли массивы в эксперименте. Флюенс в моделировании составил $4,5 \cdot 10^8 \text{ см}^2$ для каждой частицы. Строки массива содержали код ..b1111., в качестве критерия сбоя был принят факт смены ячейкой памяти хранимого значения.

На рисунке Рисунок 2 представлено сравнение зависимости сечения сбоев от ЛПЭ для результатов эксперимента и моделирования. Калибровку было решено считать удовлетворительной при обеспечении отличий по зависимости сечения сбоев от ЛПЭ не более чем в 2 раза.

В предложенной модели длина сбора заряда является параметром, определяющим значение ЛПЭ, при котором зависимость сечения сбоев от ЛПЭ начинает насыщаться. Это значение приблизительно соответствует значению параметра W аппроксимации функцией Вейбулла (согласно РД 134-0174-2009). Диаметр «пятна» выбирался для каждого значения ЛПЭ в пределах от 100 нм до 2 мкм, что позволило точно установить значение

сечения сбоев для каждого ЛПЭ. Значение коэффициента передачи по току паразитного биполярного транзистора и значения сопротивлений ребер сетки влияли на значение сечения сбоев на ЛПЭ 41 и 60 МэВ·см²/мг.

Для уточнения значения калибровочных параметров были взяты распределение кратности сбоев (рисунок Рисунок 3) по ЛПЭ и карты сбоев (рисунок Рисунок 4). Изменение диаметра «пятна» оказывало влияние на карты и кратность сбоев на ЛПЭ 7 и 18 МэВ·см²/мг. Изменение значения коэффициента передачи по току паразитного биполярного транзистора и сопротивлений ребер сетки оказывали влияние на карты и кратности сбоев на ЛПЭ 41 и 60 МэВ·см²/мг. Окончательные значения калибровочных параметров для базового техпроцесса TSMC 65 нм представлены в таблице Таблица 3.

Карты сбоев в моделировании соответствуют картам сбоев в эксперименте, на высоких ЛПЭ удалось воспроизвести результаты эксперимента, в которых присутствовали несимметричные группы ячеек с неоднородной локализацией сбоев. Это объясняется колебанием потенциала кармана и эффектом паразитного биполярного транзистора сразу во всех транзисторах ячейки. Ячейка памяти переходит в метастабильное состояние, из которого может выйти в любое, в т.ч. в прежнее, что не будет зарегистрировано как сбой. Наблюдаемые отличия в распределении кратностей сбоев по ЛПЭ между экспериментом и моделированием связаны с отсутствием учета сбора зарядов на границе p-карман – p-подложка и другими упрощениями модели. Тем не менее получено удовлетворительное отличие максимальной кратности сбоев не более $\times 1$.

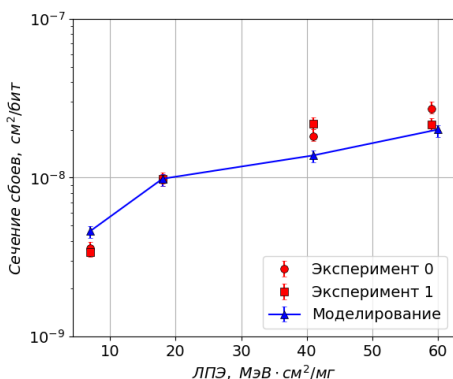


Рисунок 2 – Зависимость сечения сбоев от ЛПЭ, полученная в результате калибровки

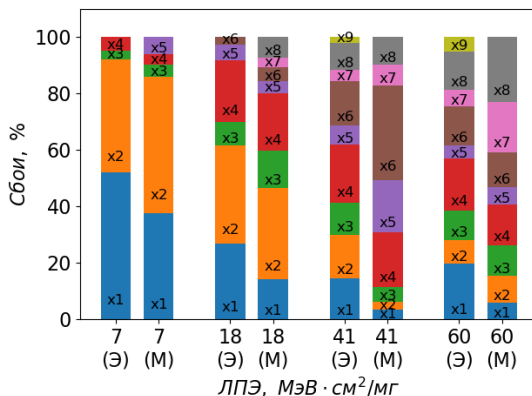


Рисунок 3 – Распределение кратностей сбоев по ЛПЭ: Э – эксперимент, М – моделирование

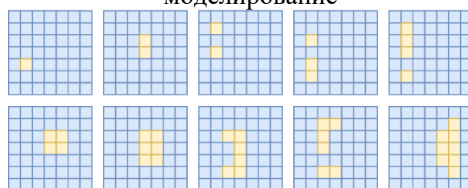


Рисунок 4 – Группы сбитых ячеек в массиве памяти

Таблица 3 – Итоговые значения калибровочных параметров

| Параметр | Значение | Калиброванное значение |
|---|---------------------|------------------------|
| R_{psub} | 1200 Ом | 1200 Ом |
| R_{nwell} | 600 Ом | 450 Ом |
| R_{cont} | 10,4 Ом | 10,4 |
| α | 0,8 | 0,8 |
| l | 1 мкм | 3 мкм |
| Распределение диаметра области сбора по ЛПЭ. Предположение делалось на основе размера группы одновременно сбитых ячеек | | |
| ЛПЭ, МЭВ·см²/мг | Изначальный диаметр | Калиброванное значение |
| 7 | 0,55 | 0,2 |
| 18 | 0,8 | 0,4 |
| 41 | 1,5 | 0,8 |
| 60 | 2 | 1,2 |

Проверена корректность работы методики с полученными в результате калировки параметрами. Для проверки были выбраны блоки мажоритарных элементов, разработанные по технологии TSMC 65 нм, изготовленные и испытанные на воздействие ТЗЧ.

Были исследованы 3 типа мажоритарных элемента: на основе вентиля И-НЕ, на основе мультиплексоров и 12Т схема. На рисунке Рисунок 5 показана схема детектирования сбоя, она воспроизводит схему, использовавшуюся в эксперименте. Сигнал RESET сбрасывает состояние триггера, выход OUT переводится в состояние «0». На входы мажоритарного элемента подаются «1» или «0» (две разных сессии моделирования). Затем к мажоритарному элементу применяется тестовое воздействие. Если тестовое воздействие вызвало на входе достаточно большой импульс напряжения, выход OUT сменит свое состояние на «1». Появление на выходе OUT «1» после приложения тестового воздействия является критерием регистрации сбоя.

Была проведена серия моделирований, параметры моделирования соответствовали калибровочным, в результате были получены зависимости сечения сбоя от ЛПЭ. На рисунках Рисунок 6 – Рисунок 8 показано сравнение результатов эксперимента и моделирования.

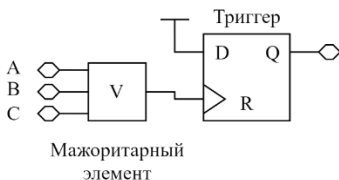


Рисунок 5 – Схема моделирования мажоритарного элемента

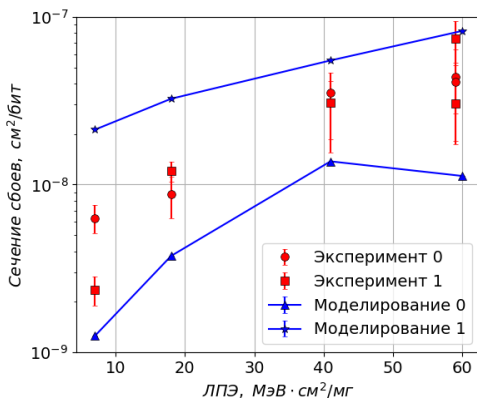


Рисунок 6 – Зависимость сечения сбоя от ЛПЭ, для мажоритарного элемента на элементах И-НЕ

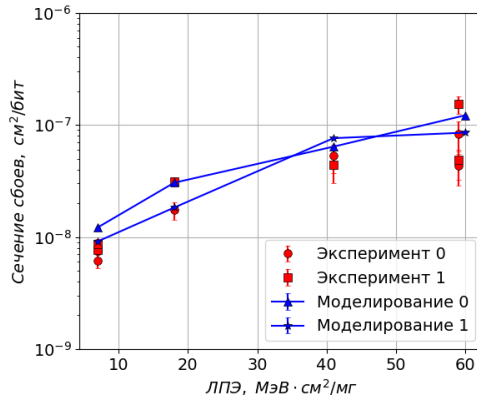


Рисунок 7 – Зависимость сечения сбоя от ЛПЭ, для мажоритарного элемента на мультиплексорах

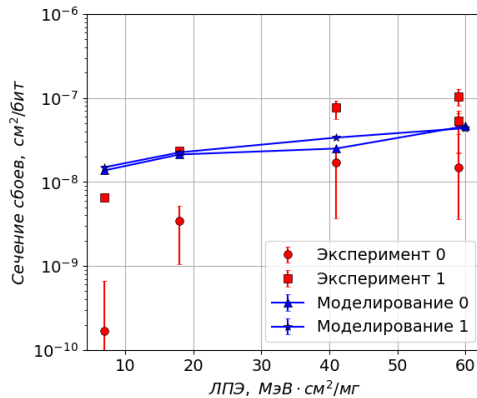


Рисунок 8 – Зависимость сечения сбоя от ЛПЭ, для мажоритарного элемента на схеме 12Т

Сравнение демонстрирует совпадение результатов моделирования и эксперимента в пределах порядка, что является удовлетворительным результатом. Проведенная верификация показывает, что методика, откалиброванная по результатам испытания плотной памяти, может быть использована для моделирования параметров сбоеустойчивости комбинационных схем.

2 Топологические методы повышения сбоеустойчивости

Моделировалась структура, разработанная по технологии TSMC 65, состоящая из двух расположенных рядом инверторов. Сбой регистрировался, если воздействие на левый инвертор вызывало на выходе

правого импульс напряжения с амплитудой более половины питания. Исследовались 4 варианта топологии, показанные на рисунке 9: «Базовая топология», «Контакты рядом», «Контакты между» и «Отдельные карманы»; они отличались расположением карманов и контактов к ним и подложке. На расстоянии 10 мкм от инверторов располагались одиночные контакты к карману и подложке. Параметры инверторов и их значения показаны в таблице 4. Осуществлялся полный перебор всех параметров, целью был поиск расстояния S на котором на правом инверторе не регистрируется сбой.

Отличие данного подхода к исследованию проблемы множественных сбоев от известных в литературе заключается в том, что перебор учитывает доступный разработчику ИС диапазон изменений параметров топологии.

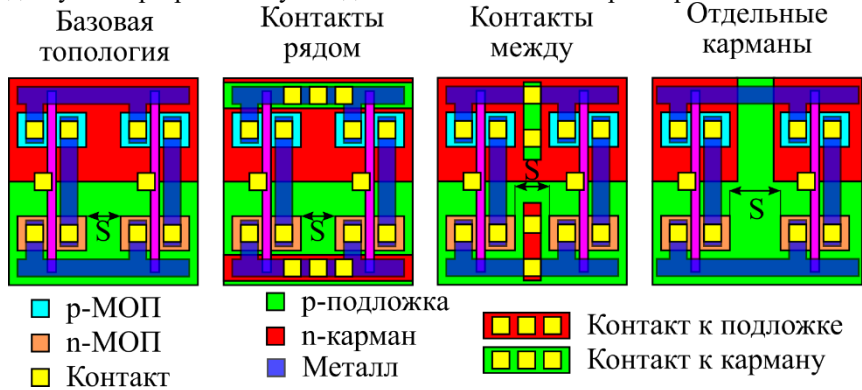


Рисунок 9 – Моделируемая топология

Таблица 4 – Параметры моделирования и их значения

| Параметр | Значения |
|-----------------------------------|--|
| Варианты топологии | Базовая топология, Контакты рядом, Контакты между, Отдельные карманы |
| Цель для воздействия | p-MOП, n-MOП |
| Ширина канала левого p-MOП, нм | 200, 500, 1000 |
| Ширина канала правого p-MOП, нм | 200, 500, 1000 |
| Ширина канала левого n-MOП, нм | 200, 500, 1000 |
| Ширина канала правого n-MOП, нм | 200, 500, 1000 |
| Расстояние между инверторами, мкм | от 0,2 до 2,4 с шагом 0,1 |

Минимальное расстояние S при воздействии на n-MOП не зависит от значений параметров, оно определяется правилами проектирования и составляет 200 нм. Исключением является значение ЛПЭ равное 60 МэВ·см²/мг, где минимальное S для вариантов «Базовая топология» и «Контакты рядом» равно 400 нм. Моделирование показало, что в n-MOП транзисторах доминирует диффузионный процесс сбора зарядов, этот

эффект продемонстрирован в работе Борuzziной А.Б. для технологии КМОП 65 нм.

Размещение контактов к карману рядом с р-МОП «выключило» эффект паразитного биполярного транзистора, аналогичный эффект в КМОП технологиях 130 и 90 нм описан в работе Olson B. Расстояние S сократилось до размера области диффузионного сбора зарядов и составило 200 нм на ЛПЭ 7 – 41 МэВ·см²/мг и 400 нм на 60 МэВ·см²/мг. Расположение контактов между транзисторами и расположение транзисторов в разных карманах сократило расстояние S до минимального допустимого согласно правилам проектирования.

Для варианта «Базовая топология» на ЛПЭ 41 – 60 МэВ·см²/мг расстояние S превышало 2,4 мкм, когда размер правого транзистора был больше размера левого. Первое объяснение этому заключается в том, что маленький правый транзистор закрывает меньшую площадь под «пятном» воздействия, т.е. с меньшей площади стока и истока собирается меньше заряд, теоретическое обоснование этому дано в книге Чумакова А.И. Вторая причина в том, что паразитный биполярный транзистор в маленьком МОП транзисторе коммутирует меньший ток, из-за чего меньше амплитуда импульса напряжения на выходе правого инвертора. Чем больше размер п-МОП транзистора, тем больший импульс ионизационного тока от р-МОП он способен провести без значительного возмущения напряжения на его узлах, такой же эффект показан в работе Amusan O. для транзисторов, выполненных по технологии 90 нм. Увеличение п-МОП транзистора привело к уменьшению расстояния S до 200 нм на ЛПЭ до 7 – 41 МэВ·см²/мг и 400 нм на 60 МэВ·см²/мг.

Результаты моделирования структуры из двух инверторов были использованы для разработки рекомендаций к проектированию сбоеустойчивых ячеек памяти и стандартных ячеек. Рекомендации призваны увеличить эффективность схемотехнических и архитектурных мер повышения сбоеустойчивости.

Для эффективной разработки топологии необходим список рекомендаций, аналогичный правилам проектирования от фабрики. Авторы работ о влиянии контактов к карману и подложке на многократные сбои ограничиваются публикацией своих данных и рекомендациями качественного характера без указаний допусков и размеров. Представленные ниже рекомендации содержат информацию о правилах размещения границ карманов, контактов к карману и подложке, а также о их влиянии на допустимые размеры транзисторов и расстояния между ними.

Воздействие ТЗЧ на чувствительный транзистор может привести к сбою. Воздействие ТЗЧ на нечувствительный транзистор к сбою не приведет. Отнесение транзистора к чувствительному и нечувствительному зависит от его положения в схеме и режима работы, который может

меняться со временем. Выполнение представленных рекомендаций с соблюдением допусков, обозначенных на рисунке 10 и в таблице 5, позволит избежать превышения амплитуды импульса напряжения на узлах чувствительного транзистора более половины напряжения питания при заданном диапазоне ЛПЭ частиц, воздействующих на соседний транзистор.

Рекомендации к проектированию для р-МОП с минимальной длиной канала. Рекомендации проиллюстрированы на рисунке Рисунок 10 (а), подробная информация о размерах и расстояниях представлена в таблице 5.

- 1) Ширина комплементарного n-МОП должна быть максимальной возможной.
- 2) Если ширина комплементарного n-МОП минимальная, следует сделать ширину нечувствительного р-МОП транзистора больше, чем чувствительного: $\times 2$ против ЛПЭ $7 \text{ МэВ}\cdot\text{см}^2/\text{мг}$ – $18 \text{ МэВ}\cdot\text{см}^2/\text{мг}$, $\times 5$ против ЛПЭ $18 \text{ МэВ}\cdot\text{см}^2/\text{мг}$ – $60 \text{ МэВ}\cdot\text{см}^2/\text{мг}$.
- 3) Недостаток размера нечувствительного р-МОП можно компенсировать размером комплементарного n-МОП.

На ЛПЭ $41 - 60 \text{ МэВ}\cdot\text{см}^2/\text{мг}$ становится выраженным эффект паразитного биполярного транзистора в р-МОП, в этом случае рекомендуется ставить контакты к карману рядом или между транзисторами или размещать их в отдельных карманах. Рекомендации 4 и 5 проиллюстрированы на рисунке Рисунок 10 (б), численные значения указаны в таблице 5.

- 4) Если оба р-МОП являются чувствительными транзисторами, как можно ближе к ним следует разместить контакт к карману.
- 5) Лучшего снижения кратности сбоев можно добиться, если поставить контакты к карману между чувствительными р-МОП или разместить транзисторы в отдельных карманах. В этом случае минимальное расстояние между ними будет определяться правилами проектирования.

Рекомендации к проектированию для размещения n-МОП транзисторов с минимальной длиной канала проиллюстрированы на рисунке Рисунок 10 (в).

- 6) Рекомендуемое расстояние между чувствительным и нечувствительным n-МОП дано в таблице 5.
- 7) Лучшего снижения кратности сбоев можно добиться, если поставить контакты к подложке между чувствительными n-МОП. В этом случае минимальное расстояние между ними будет определяться правилами проектирования.

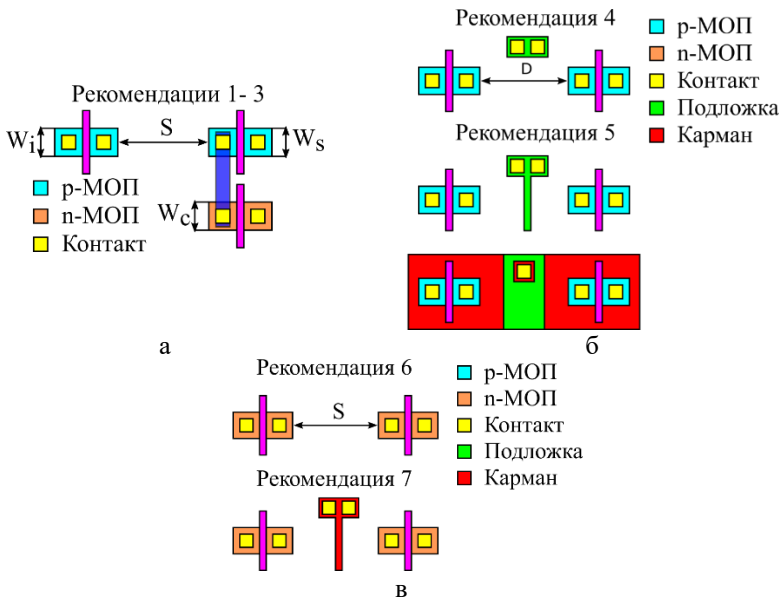


Рисунок 10 – Рекомендации к проектированию топологии: а) рекомендации 1 – 3, б) рекомендации 4 – 5, в) рекомендации 6 – 7
 Таблица 5 – Значения параметров для рекомендаций к проектированию.
 W_i – нечувствительный p-МОП, W_s – чувствительный p-МОП, W_c – комплементарный n-МОП

| Рекомендации | Диапазон ЛПЭ, МэВ·см ² /мг | W_c , мкм | W_i , мкм | S , мкм |
|--------------|--|-------------|-------------|-----------|
| 1 | 7 – 41 | 1 | – | 0,2 |
| | 41 – 60 | 1 | – | 0,4 |
| 2 | 7 – 18 | 0,2 | $> 2W_s$ | 0,2 |
| | 18 – 41 | 0,2 | $> 5W_s$ | 0,2 |
| | 41 – 60 | 0,2 | $> 5W_s$ | 1 |
| 3 | 7 – 41 | 0,5 | $> 2W_s$ | 0,2 |
| | 41 – 60 | 0,5 | $> 2W_s$ | 0,4 |
| 4 | 7 – 41 | – | | 0,2 |
| | 41 – 60 | – | | 0,4 |
| 6 | 7 – 41 | – | | 0,2 |
| | 41 – 60 | – | | 0,4 |

Эффективность применения предложенных рекомендаций была проверена по результатам испытаний блоков статической памяти. В качестве объекта исследования были выбраны 6Т и 8Т ячейки памяти из компилятора, разработанного в ФГУ ФНЦ НИИСИ РАН для технологии TSMC 65 нм. Для корректной работы системы помехоустойчивого

кодирования необходимо, чтобы кратность сбоев в строке не превышала $\times 2$. В памяти применяется мультиплексирование, что дает физическое разнесение между битами одного слова более 2 мкм.

Топология ячеек 6Т и 8Т имеет схожую структуру, она показана на рисунке Рисунок 11. В ячейке памяти вся площадь кармана является чувствительной областью для р-МОП, а вся площадь подложки является чувствительной областью для n-МОП. Рядом с р-МОП располагается контакты к карману, они идут полосой через весь столбец массива памяти, что соответствует рекомендации 4.

Четыре ячейки по вертикали занимают 2 мкм, их транзисторы плотно уложены в соответствующих областях. Расстояние между соседними транзисторами меньше 400 нм, что противоречит рекомендациям 4, 6 и таблице 5. Можно ожидать, что все 4 ячейки могут быть одновременно сбиты, но не более того, т. к. другие ячейки будут находиться на расстоянии более 1 мкм. Интерпретация рекомендаций 4, 6 и данных из таблицы 5 будет следующей: кратность сбоев в столбце не будет превышать $\times 4$, что является приемлемым, если работает скраббинг. Описанная ситуация является примером компромисса между сбоеустойчивостью и плотностью ячеек.

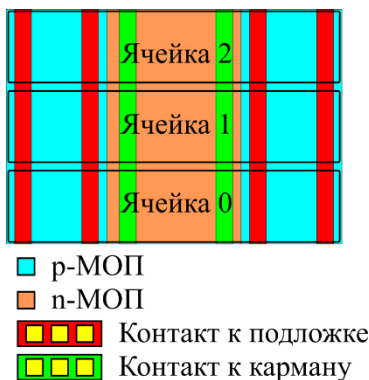


Рисунок 11 – Топология ячейки памяти

В рамках верификации рекомендаций проводилось сравнение результатов моделирования сбоеустойчивости ячеек памяти с результатами их испытаний. Моделировались два массива 24x12 6Т и 8Т ячеек памяти, описанных в предыдущем разделе. Параметры моделирования и ЛПЭ ионов показаны в таблице Таблица 4. Флюенс в моделировании составил $2,6 \cdot 10^{10} \text{ см}^{-2}$ для массива 8Т ячеек и $3 \cdot 10^{10} \text{ см}^{-2}$ для массива 6Т ячеек. Массив 8Т ячеек был заполнен кодом `..b11001100..`, а массив 6Т ячеек был заполнен кодом `..b11110000..`

Для верификации были взяты результаты двух экспериментов, где массивы памяти облучались ТЗЧ. В эксперименте 1 память состояла из 8Т

ячеек с мультиплексированием столбцов x_2 , блоки памяти имели размер $1K \times 36$, 256×22 , 512×72 , 256×22 , на кристалле располагалось по два блока каждого размера. В массивы был записан код $h'A/h'5$, код в строках физического массива имел значение `..b11001100..`, флюенс составлял $0,89 \cdot 10^7 \text{ см}^{-2}$ – $1,85 \cdot 10^7 \text{ см}^{-2}$, параметры ионов указаны в таблице 6. В эксперименте 2 на кристалле располагался один массив $32K \times 32$ с x_8 мультиплексированием, ячейки памяти – 6Т. Память заполнялась тем же кодом, физическая строка хранила `..b1111111100000000..`, флюенс составлял $1,5 \cdot 10^5 \text{ см}^{-2}$ – $4,4 \cdot 10^5 \text{ см}^{-2}$, параметры ионов указаны в таблице 7.

Таблица 6 – Параметры ионов в эксперименте 1

| Ион | Энергия, МэВ/нуклон | ЛПЭ, МэВ·см ² /мг |
|-------------------|---------------------|------------------------------|
| ⁴⁰ Ar | 25 | 6 |
| ⁸⁴ Kr | 26 | 20 |
| ¹³² Xe | 23 | 46 |
| ¹³² Xe | 11 | 67 |

Таблица 7 – Параметры ионов в эксперименте 2

| Ион | Энергия, МэВ/нуклон | ЛПЭ, МэВ·см ² /мг |
|-------------------|---------------------|------------------------------|
| ²⁰ Ne | 5 | 6 |
| ⁴⁰ Ar | 4 | 15 |
| ¹³² Xe | 22 | 42 |
| ¹³² Xe | 7 | 64 |

Распределение сечения сбоев по спектру ЛПЭ показано на рисунках Рисунок 12 и Рисунок 13, сравнение показывает совпадение результатов моделирования и эксперимента в пределах одного порядка.

На рисунке Рисунок 14 показано сравнение распределения кратностей сбоев для 8Т ячеек памяти полученного в моделировании с данными эксперимента 1. Аналогичное сравнение для ячеек 6Т и эксперимента 2 показано на рисунке Рисунок 15. В результате моделирования были получены кратности сбоев x_1 и x_2 на ЛПЭ $< 18 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ и x_3 , x_4 сбой на ЛПЭ $> 40 \text{ МэВ} \cdot \text{см}^2/\text{мг}$. Результаты эксперимента и моделирования демонстрируют отсутствие в столбце кратности сбоев более x_4 . Стоит отметить, что плотная память, использовавшаяся для калибровки, ячейки которой спроектированы без учета рекомендаций, в аналогичном эксперименте показала кратность сбоев до x_{10} , что указано в таблице 8.

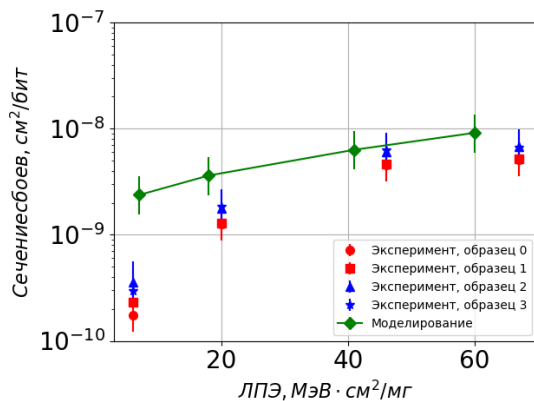


Рисунок 12 – Сравнение распределения сечения сбоев в эксперименте 1 и моделировании массива 8Т

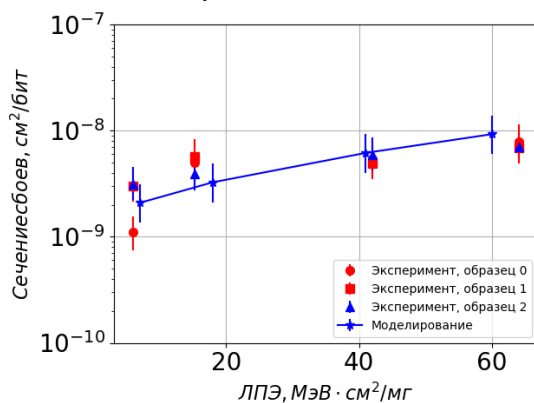


Рисунок 13 – Сравнение распределения сечения сбоев в эксперименте 2 и моделировании массива 6Т

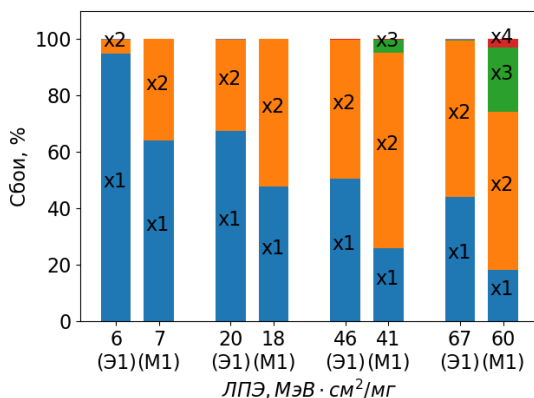


Рисунок 14 – Распределение кратностей сбоев в эксперименте 1. Обозначения на оси абсцисс: Э1 – результаты для эксперимента 1, M1 – результаты моделирования массива 8Т

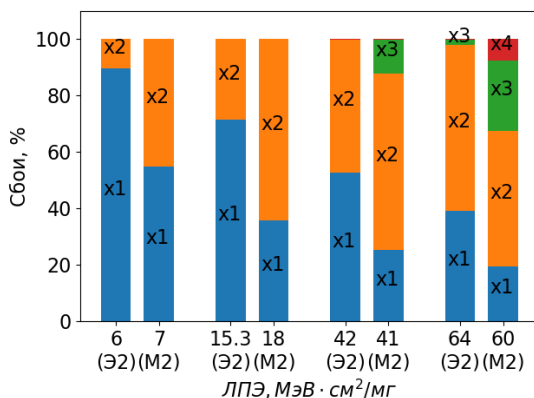


Рисунок 15 – Распределение кратностей сбоев в эксперименте 1. Обозначения на оси абсцисс: Э2 – результаты для эксперимента 2, M2 – результаты моделирования массива 6Т

Таблица 8 – Сравнение ячеек памяти

| Ячейка памяти | Плотность данных, бит/мкм ² | Максимальная кратность | Сечение сбоев, $\cdot 10^{-10}$ см ² /бит |
|---------------|--|------------------------|--|
| Плотная 6Т | 2 | 10 | 10 – 100 |
| DICE | 0,125 | 1 | 0,001 – 0,1 |
| 6Т | 0,4 | 4 | 1 – 10 |
| 8Т | 0,35 | 4 | 10 – 100 |

Заключение

Основной научный результат диссертации заключается в развитии методов повышения устойчивости ИС к воздействию ТЗЧ, которые позволяют достичь необходимого баланса производительности и сбоеустойчивости.

Основные теоретические результаты:

1. Проведен анализ методов моделирования воздействия ТЗЧ на ИС с учетом топологии, в результате которого было установлено, что существующие методы не подходят для встраивания в типовой маршрут разработки ИС.
2. Разработана методика SPICE моделирования воздействия ТЗЧ на ИС с учетом топологии, использующая стандартные САПР и типовые форматы файлов. По сравнению с TCAD достигается увеличение скорости моделирования на порядок, при сохранении точности SPICE.
3. Методика моделирования после однократной калибровки для выбранного базового технологического процесса по результатам испытаний ячеек плотной статической памяти может быть использована для моделирования образования многократных сбоев в комбинационных ячейках и других блоках памяти.
4. Показано, что неоднородная локализация сбоев в памяти от одной частицы обусловлена, модуляцией потенциала кармана/подложки и активацией паразитного биполярного транзистора.
5. Проведен сравнительный анализ эффективности топологических мер снижения кратности сбоев, показавший, что размещение контактов к карману/подложке рядом с чувствительными транзисторами способно снизить расстояние разнесения до минимального согласно правилам проектирования. Аналогичные результаты получены для размещения транзисторов в разных карманах.

Основные практические результаты:

1. Разработано программное обеспечение, реализующее предложенную методику моделирования воздействия ТЗЧ на ячейки памяти и комбинационные ячейки, совместимое с типовым маршрутом проектирования ИС.
2. Получены значения калибровочных параметров для базового технологического процесса TSMC 65 нм.
3. Разработаны рекомендации к проектированию ячеек памяти и комбинационных ячеек, позволяющие достигнуть баланса плотности упаковки и сбоеустойчивости.
4. Представлены результаты моделирования и испытаний, которые демонстрируют отсутствие сбоев с кратностью выше $\times 4$ в ячейках

памяти, топология которых следует рекомендациям к проектированию.

Частные практические результаты:

1. Произведена оценка сбоеустойчивости ячеек памяти, результаты которой были учтены при разработке радиационно стойкой библиотеки ФГУ ФНЦ НИИСИ РАН.
2. Результаты диссертации внедрены в ФГУ ФНЦ НИИСИ РАН при разработке СБИС микропроцессоров в рамках ОКР «Обработка-И7-РК», ОКР «Схема-ИЗ-Т» и при разработке коммутатор SpaceWire, выполненного по технологии TSMC 65 нм.
3. Результаты диссертации внедрены в АО «НИИМА «Прогресс» при разработке СБИС микропроцессоров в рамках ОКР "Схема-И6-Т".

Список работ, опубликованных по теме диссертации

1. Балбеков, А. О. Система оценки сбоеустойчивости комбинационных схем / А. О. Балбеков // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2014. – № 3. – С. 16-18.
2. Balbekov, A. O. Estimation technique for SET-tolerance of combinational ICs / A. O. Balbekov, M. S. Gorbunov // Proceedings of International Conference on Micro- and Nano-Electronics. – 2014. – Vol. 9440. – P. 94401A.
3. Балбеков, А. О. Моделирование переходных процессов в системе чтения регистровых файлов вследствие одиночных событий / А. О. Балбеков // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2015. – № 4. – С. 11-19.
4. Balbekov, A. O. Layout-aware simulation of soft errors in sub-100 nm integrated circuits / A. O. Balbekov, M. S. Gorbunov, S. G. Bobkov // Proceedings of International Conference on Micro- and Nano-Electronics. – 2016. – Vol. 10224. – P. 1022418.
5. Balbekov, A. O. Layout-aware Soft Error Rate Estimation Technique for Integrated Circuits under the Environment with Energetic Charged Particles / A. O. Balbekov, M. S. Gorbunov, S. G. Bobkov // Journal of Physics: Conference Series. – 2017. – Vol. 798. – No 1. – P. 012209.
6. Balbekov, A. O. SPICE-level layout-aware single event effects simulation of majority voters / A. O. Balbekov, G. I. Zebrev, M. S. Gorbunov // Proceedings of the International Conference on Microelectronics, ICM : 30, Nis, 09–11 октября 2017 года. – Nis, 2017. – P. 333-336.
7. Balbekov, A. O. Application of the layout-aware single event simulations to a design of 65 nm memory units / A. O. Balbekov // Moscow Workshop on Electronic and Networking Technologies,

- MWENT 2018 - Proceedings : 1, Moscow, 14–16 марта 2018 года. – Moscow, 2018.
8. Balbekov, A. O. Circuit-Level Layout-Aware Modeling of Single-Event Effects in 65-nm CMOS ICs / A. O. Balbekov, M. S. Gorbunov, G. I. Zebrev // IEEE Transactions on Nuclear Science. – 2018. – Vol. 65. – No 8. – P. 1914-1919.
 9. Балбеков, А. О. Методики моделирования воздействия ТЗЧ на ИС в маршруте проектирования / А. О. Балбеков, М. С. Горбунов // Труды научно-исследовательского института системных исследований Российской академии наук. – 2020. – Т. 10. – № 4. – С. 4-13.
 10. Балбеков, А. О. Проектирование топологии сбоеустойчивых ячеек статической памяти высокой плотности / А. О. Балбеков, М. С. Горбунов, А. М. Галимов // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). – 2020. – № 2. – С. 132-139.
 11. Balbekov, A. O. Design-Stage Hardening of 65-nm CMOS Standard Cells against Multiple Events / A. O. Balbekov, M. S. Gorbunov, A. M. Galimov // IEEE Transactions on Nuclear Science. – 2021. – Vol. 68. – No 8. – P. 1712-1718.