

На правах рукописи

Данилов Игорь Александрович

**КРИТИЧЕСКИЕ ЭЛЕМЕНТЫ
СБОЕУСТОЙЧИВЫХ ЦИФРОВЫХ КОМПЛЕМЕНТАРНЫХ
МЕТАЛЛ-ОКСИД-ПОЛУПРОВОДНИКОВЫХ ИНТЕГРАЛЬНЫХ
СХЕМ С ПРОЕКТНЫМИ НОРМАМИ УРОВНЯ 65 НМ**

05.13.05 – «Элементы и устройства вычислительной техники
и систем управления»

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Автор:



МОСКВА – 2022 г.

Диссертация выполнена в Федеральном государственном учреждении
«Федеральный научный центр Научно-исследовательский институт
системных исследований Российской академии наук»
(ФГУ ФНЦ НИИСИ РАН)

Научный руководитель:

кандидат технических наук, доцент,
ведущий научный сотрудник ФГУ ФНЦ НИИСИ РАН,
Рогаткин Юрий Борисович

Официальные оппоненты:

доктор технических наук,
заместитель генерального директора АО «НИИП»,
Таперо Константин Иванович

доктор технических наук, профессор,
заместитель генерального директора АО «НПП «Салют»,
Оболенский Сергей Владимирович

кандидат технических наук,
начальник сектора Филиала АО "ОРКК" – «НИИ КП»,
Протопопов Григорий Александрович

Защита диссертации состоится 30 июня 2022 г. в 15:00 на заседании диссертационного совета МИФИ.05.03 в Национальном исследовательском ядерном университете «МИФИ» по адресу: 115409, г. Москва, Каширское шоссе, 31.

С диссертацией можно ознакомиться в библиотеке НИЯУ «МИФИ» и на сайте ds.mephi.ru.

Ученый секретарь
диссертационного совета
к.т.н.,



Веселов Денис Сергеевич

ОБЩАЯ ХАРАКТЕРИСТИКА ДИССЕРТАЦИИ

Актуальность темы диссертации. Интегральные схемы (ИС), применяемые в таких областях, как космос, искусственный интеллект, беспилотные наземные и летательные аппараты, должны сочетать повышенные быстродействие и энергоэффективность с безотказностью и сбоеустойчивостью, что особенно важно для систем критической инфраструктуры. Технико-экономические требования, предъявляемые к современным высоконадежным ИС, диктуют использование так называемых «коммерческих» технологических процессов и уменьшение проектных норм вплоть до десятков нм и менее, из-за чего особенно остро встают вопросы устойчивости к сбоям, вызванным радиационным воздействием, в том числе естественного происхождения.

По мере уменьшения проектных норм возрастает чувствительность ИС к эффектам одиночных событий (ОС) при воздействии отдельных ядерных частиц (ОЯЧ), в том числе и тяжелых заряженных частиц (ТЗЧ), растёт количество многократных сбоев – каскада сбоев, вызванных одной частицей. При переходе на технологические уровни с проектными нормами ниже 100 нм и увеличении рабочих тактовых частот, всё большую роль начинают играть эффекты ОС в комбинационной логике. В настоящее время ОС являются фундаментальным фактором, сдерживающим развитие высокопроизводительных сбое- и отказоустойчивых сверхбольших интегральных схем (СБИС).

Одним из основных методов повышения сбоеустойчивости СБИС является модульное резервирование (МР), заключающееся в создании нескольких копий критического узла или функционального блока ИС. Наиболее распространенными примерами применения МР являются ячейка памяти с двойным внутренним резервированием, так называемая ячейка Dual Interlocked Cell (DICE), применяемая для повышения сбоеустойчивости последовательностных элементов, и тройное модульное резервирование (ТМР) с использованием схем голосования, называемых мажоритарными элементами (МЭ), для повышения сбоеустойчивости как функциональных блоков, включающих в своей состав комбинационную логику и последовательностные элементы, так и ИС в целом. Несмотря на очевидные недостатки МР, главными из которых являются избыточная площадь и увеличенная потребляемая мощность, данный метод остается одним из наиболее эффективных для повышения сбоеустойчивости СБИС. Существуют разные подходы к реализации ТМР: локальное (ЛТМР), распределенное (РТМР), глобальное (ГТМР), блочное (БТМР). Данные способы МР отличаются объёмом резервирования и, как следствие, занимаемой площадью, потребляемой мощностью и обеспечиваемым уровнем сбоеустойчивости.

Выбор конкретного метода ТМР или сочетания методов представляет собой компромисс между производительностью и сбоеустойчивостью.

Решение задачи обеспечения сбоеустойчивости современных СБИС связано с исследованием и повышением устойчивости к ОС функциональных элементов, определяющих поведение СБИС при воздействии ОЯЧ, то есть критических элементов. В системах с модульным резервированием критическими являются МЭ, а в асинхронных ИС – С-элементы Маллера. Требуется разработка методов и средств проектирования, в том числе моделирования эффектов ОС в ИС на SPICE- и Verilog-уровнях абстракции, с последующим их внедрением в маршрут проектирования. Важным требованием к таким методам и средствам является учёт ими конструктивно-топологических особенностей разрабатываемого устройства.

Настоящая диссертация посвящена актуальным вопросам исследования и разработки критических с точки зрения сбоеустойчивости элементов современных цифровых комплементарных метал-оксид-полупроводниковых (КМОП) ИС с проектными нормами уровня 65 нм к радиационно-индуцированным сбоям (РИС). В настоящей работе проведено сравнительное экспериментальное исследование нескольких вариантов реализации МЭ, по результатам которого предложены методические рекомендации по выбору типа МЭ для использования в различных вариантах реализации ТМР, представлены несколько оригинальных схемотехнических решений для реализации сбоеустойчивого С-элемента Маллера, используемого в системах с двойным модульным резервированием (ДМР) и асинхронных схемах. Предложены методы автоматизированного моделирования эффектов ОС в ИС на SPICE- и Verilog-уровнях абстракции, в том числе с учётом конструктивно-топологических особенностей устройства, и программные средства, реализующие данные методы.

Состояние исследований по проблеме. Физические принципы взаимодействия ИС и их элементов с радиационными факторами естественного происхождения освещены в работах д.т.н., проф. Агаханяна Т. М., д.т.н. Зебрева Г. И., д.т.н., проф. Никифорова А. Ю., д.т.н., проф. Першенкова В. С., д.т.н., проф. Попова В. Д., д.т.н., проф. Петросянца К.О., д.т.н., проф. Скоробогатова П. К., к.т.н., доц. Согаяна А. В., д.т.н., проф. Стенина В. Я., д.т.н. Таперо К. И., д.т.н., проф. Тельца В. А., д.т.н. Улимова В. Н., д.т.н., проф. Чумакова А. И., д.т.н., проф. Шелепина Н.А..

D. G. Mavis и P. H. Eaton установили, что чувствительность комбинационных узлов ИС к переходным ионизационным реакциям, вызванным попаданием ионизирующей частицы в чувствительную область микросхемы (SET), растёт с уменьшением проектных норм. N. N. Mahatme с коллегами сделали подтвердившийся позднее прогноз, что в технологиях с проектными нормами 65 нм и ниже количество сбоев, вызванных SET в комбинационной логике, будет больше количества одиночных обратимых сбоев (SEU) в последовательностных элементах.

Методы исследования чувствительности комбинационных схем к воздействию ОЯЧ, позволяющие получить зависимость чувствительности от тактовой частоты, представлены в работах J. Benedetto и J. R. Ahlbin (метод C-CREST). Оба метода основаны на последовательном соединении комбинационных элементов в цепочки, выходы которых подаются на вход данных сбоеустойчивого триггера, переключаемого с заданной частотой. Эти результаты отражают чувствительность к воздействию ОЯЧ крупных блоков комбинационной логики. Они являются репрезентативными для ИС, содержащих комбинационные и последовательностные элементы, но для сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС, используемых точечно и не формирующих в реальных ИС длинные цепочки, таких, как, например, МЭ, данный метод неактуален. В последнем случае требуются данные, характеризующие SET на выходе комбинационного элемента, возникающую при попадании ТЗЧ именно в этот элемент. Такие данные могут быть получены методом, предложенным соискателем в рамках настоящей диссертационной работы.

Способы компьютерного моделирования эффектов ОС и ИС на SPICE-уровне абстракции освещены в работах д.т.н., проф. А. Ю. Никифорова, д.т.н., проф. В. А. Тельца, д.т.н., проф. А. И. Чумакова, д.т.н., проф. Н. А. Шелепина, на Verilog-уровне абстракции, в том числе с учётом топологии, – в работах F. Vargas, R. Velazco, A. Mochizuki, C. Bottoni, B. Coeffic, J.-M. Daveau. Развитием средств моделирования эффектов ОС в ИС занимаются зарубежные компании Cadence, Synopsys, отечественные предприятия ФГУ ФНЦ НИИСИ РАН, AlphaChip.

Целью диссертации являлась разработка наиболее критичных с точки зрения обеспечения сбоеустойчивости элементов КМОП ИС, выполненных по современным КМОП-технологиям с проектными нормами уровня 65 нм, а также развитие методов и средств проектирования таких ИС.

Для достижения поставленной цели решались следующие **основные задачи**:

- разработка методики автоматизированного схемотехнического моделирования эффектов от воздействия ТЗЧ на КМОП ИС на SPICE-уровне абстракции, предназначенной для сравнительного анализа принципиальных электрических схем;
- проектирование нескольких различных реализаций МЭ и оценка их сбоеустойчивости с помощью разработанной методики;
- разработка метода экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС и исследование с его помощью спроектированных МЭ;
- анализ и интерпретация полученных экспериментальных данных, выработка методических рекомендаций по выбору типа МЭ, используемого для различных вариантов реализации ТМР;
- разработка сбоеустойчивых С-элементов Маллера;

- разработка метода моделирования эффектов ОС в ИС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства;
- разработка пяти вариантов реализации блока шифрования по стандарту AES, спроектированных так, чтобы иметь различную сбоеустойчивость, для апробации предложенного метода моделирования эффектов ОС в ИС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства.

Основные результаты диссертации, выносимые на защиту:

1. Предложен метод экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС, реализующих одну и ту же логическую функцию. От известных ранее методов исследования чувствительности к воздействию ТЗЧ элементов ИС, предложенный метод отличается тем, что характеризует SET на выходе комбинационного элемента, возникающую при попадании частицы непосредственно в данный элемент. Аппаратная реализация предложенного метода была применена для исследования МЭ, выполненных по КМОП-технологии TSMC с проектными нормами 65 нм, что позволило впервые экспериментально сравнить чувствительность к ТЗЧ разных реализаций данного критического с точки зрения сбоеустойчивости элемента ИС.
2. Предложены три оригинальных схемотехнических решения для реализации С-элемента Маллера с повышенной сбоеустойчивостью. От ранее опубликованных предложенные С-элементы отличаются применением принципа DICE. Предложенные схемотехнические решения реализации С-элемента с помощью принципа DICE позволяют повысить сбоеустойчивость асинхронных схем, сделав их не чувствительными к ОС, затрагивающему один чувствительный узел, за счет увеличения аппаратных затрат в два раза.
3. Предложен метод моделирования эффектов ОС в современных КМОП ИС путём инъекции сбоев в модель ИС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства. От ранее предложенных методов моделирования эффектов ОС в современных КМОП ИС, в том числе в промышленных САПР, предложенный метод отличается учётом конструктивно-топологических особенностей устройства и при этом полной совместимостью со стандартным маршрутом проектирования и верификации, а также легкостью интеграцией в него. Реализация предложенного метода в виде программного средства позволила существенно повысить эффективность проектирования сбоеустойчивых КМОП СБИС за счёт учёта конструктивно-топологических особенностей устройства.

Научная новизна диссертации:

1. Предложен метод экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС, реализующих одну и ту же логическую функцию. Предложенный метод в качестве доказательного примера применён для сравнительного исследования МЭ, изготовленных по КМОП-технологии TSMC с проектными нормами 65 нм, в результате чего впервые получены экспериментальные данные по сбоеустойчивости данных элементов, опубликованные в 2014 году в журнале IEEE Transactions on Nuclear Science.
2. На основе полученных экспериментальных данных о сбоеустойчивости различных вариантов реализации МЭ предложены рекомендации по выбору типа МЭ для использования в различных вариантах реализации ТМР (ЛТМР, РТМР, ГТМР, БТМР), которые могут быть применены при использовании современных техпроцессов с проектными нормами уровня 65 нм.
3. Предложены три оригинальных схемотехнических решения для реализации сбоеустойчивого С-элемента Маллера с повышенной сбоеустойчивостью, достигаемой за счёт использования принципа DICE.

Практическая значимость диссертации заключается в следующем:

1. Предложенный метод экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС, реализующих одну и ту же логическую функцию, может быть использован для исследования других комбинационных элементов ИС.
2. Благодаря результатам проведенного экспериментального сравнительного исследования определено какие из типов МЭ следует применять в разных вариантах реализации ТМР.
3. Два типа МЭ включены в состав библиотеки стандартных ячеек, выполненных по КМОП-технологии с проектными нормами 65 нм, предназначенной для практического проектирования КМОП СБИС с повышенным уровнем сбоеустойчивости к эффектам ОС, что позволило сократить аппаратные затраты при проектировании сбоеустойчивых СБИС на величину от 29% до 47%. Получены 2 свидетельства о регистрации базы данных и 2 свидетельства о регистрации топологии.
4. Предложенные оригинальные схемотехнические решения для реализации сбоеустойчивого С-элемента Маллера с помощью принципа DICE позволяют повысить сбоеустойчивость асинхронных схем, сделав их не чувствительными к ОС, затрагивающему один чувствительный узел, за счет увеличения аппаратных затрат в два раза.
5. На разработанные программы для моделирования эффектов ОС в КМОП ИС на SPICE-уровне абстракции «SEMT» и Verilog-уровне

абстракции "SVFIKIT" получены свидетельства о государственной регистрации программы для ЭВМ.

6. Предложенная автором программа «SVFIKIT» полностью совместима со стандартным маршрутом проектирования и не требует для своей эксплуатации стороннего программного обеспечения, кроме симулятора цифровых ИС. Программа «SVFIKIT» позволила существенно повысить эффективность проектирования сбоеустойчивых КМОП СБИС с помощью учёта конструктивно-топологических особенностей устройства.
7. Результаты диссертации внедрены в ФГУ ФНЦ НИИСИ РАН при разработке СБИС в рамках ОКР «Обработка-И7-РК», ОКР «Схема-ИЗ-Т», а также при разработке резервированного сбоеустойчивого коммутатора SpaceWire по КМОП-технологии с проектными нормами 65 нм.

Личный вклад соискателя. Следующие результаты, приведенные в диссертации, предложены, получены и разработаны лично автором:

- методика автоматизированного схемотехнического моделирования эффектов от воздействия ТЗЧ на современные КМОП ИС и её реализация в виде программы-дополнения к симуляторам SPICE-класса «SEMT»;
- метод экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС и значительная часть его аппаратной реализации для исследования МЭ, выполненных по КМОП-технологии TSMC с проектными нормами 65 нм;
- проектирование пяти вариантов реализации МЭ и методические рекомендации по выбору типа МЭ для использования в различных вариантах реализации ТМР, основанные на результатах эксперимента;
- три предложенных оригинальных схемотехнических решения для реализации сбоеустойчивого С-элемента Маллера;
- метод моделирования эффектов ОС на современные КМОП ИС путём инъекции сбоев в модель ИС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства и более половины его реализации в виде программы-дополнения к симуляторам цифровых интегральных микросхем "SVFIKIT".

Разработка тестового кристалла, на котором был реализован метод экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ МЭ, а также связанные с этим расчеты и обработка экспериментальных данных, выполнялась совместно с коллегами и соавторами соискателя из ФГУ ФНЦ НИИСИ РАН. Экспериментальные результаты, приведенные в диссертации, получены специалистами ФГУ ФНЦ НИИСИ РАН в сотрудничестве с АО «ЭНПО СПЭЛС».

Программа "SVFIKIT", реализующая метод моделирования эффектов ОС на современные КМОП ИС путём инъекции сбоев в модель ИС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства, была разработана под руководством соискателя им самим и его коллегами.

Апробация результатов диссертации. Основные результаты диссертации докладывались на ежегодных Научных сессиях МИФИ (2012-2013), ежегодных всероссийских конференциях «Радиационная стойкость электронных систем» (Лыткарино, 2011, 2013, 2019, 2020), европейской конференции по микроэлектронике MIEL (2019), ежегодной европейской конференции RADECS (2013, 2016, 2019). По результатам работы получено 2 свидетельства о регистрации программы для ЭВМ, 2 свидетельства о регистрации базы данных, 2 свидетельства о регистрации топологии.

Опубликованные результаты. По теме диссертации опубликовано 7 статей в российских научно-технических журналах, рекомендованных ВАК, 3 статьи в международных журналах, индексируемых системами Web of Science и Scopus (IEEE Transactions on Nuclear Science, Acta Astronautica), 5 статей в рецензируемых сборниках трудов международных конференций, индексируемых Scopus (MIEL, RADECS), 8 тезисов докладов в сборниках российских научных конференций.

Структура и объем диссертации. Работа состоит из введения, четырех глав, заключения и списка литературы. Общий объем диссертации – 125 страниц. Диссертация содержит 52 рисунка, 19 таблиц. Список литературы содержит 130 наименований.

СОДЕРЖАНИЕ ДИССЕРТАЦИИ

Введение

Во введении обоснована актуальность темы, определена цель диссертации. Сформулирована постановка задачи исследования и основные положения, выносимые на защиту. Изложены научная новизна и практическая значимость диссертации.

1 Способы повышения устойчивости цифровых ИС к ОС

Воздействие потока заряженных частиц на элементы ИС может приводить к различным эффектам, основными из которых являются ОС, также называемые одиночными эффектами, или Single-Event Effects (SEE), и эффекты полной поглощенной дозы, или Total Ionizing Dose (TID). ОС принято делить на два класса: необратимые и обратимые. К первому классу относятся катастрофические отказы, связанные с разрушением активных элементов ИС под действием одиночных частиц, ко второму классу относят неразрушающие одиночные и многократные сбои.

К обратимым эффектам, то есть сбоям, относят переключение запоминающего элемента, вызванное попаданием одиночной частицы (Single

Event Upset, SEU), быстрый переходный процесс, вызванный попаданием одиночной частицы в логический элемент (Single Event Transient, SET), одиночный эффект прерывания функционирования (Single Event Functional Interruption, SEFI), а также переключение нескольких запоминающих элементов при попадании одной ионизирующей частицы в различные чувствительные объёмы (Multiple-Cell Upset, MCU). Важно отметить, что SET не вызывают сбоя непосредственно, но могут распространяться через последующие логические элементы и вызывать одиночный или многократный SEU при достижении триггеров или других запоминающих элементов. Этим объясняется тот факт, что количество SET возрастает с ростом рабочих тактовых частот.

Основным методом повышения сбоеустойчивости СБИС является МР – создание нескольких копий критического узла или функционального блока ИС. В случае нечётного количества копий используются схемы голосования, называемые МЭ. Применение МР приводит к увеличению занимаемой устройством площади, потребляемой им мощности и снижению его быстродействия, однако, несмотря на эти очевидные недостатки, МР остается наиболее эффективным методом повышения сбоеустойчивости СБИС. На практике в ИС, как правило, используются только ДМР и ТМР.

Наиболее распространенным примером применения МР является ячейка памяти с двойным внутренним резервированием типа Dual Interlocked Cell (DICE), изображённая на рисунке 1. Принцип действия данной ячейки заключается в том, что логическое состояние хранится не в двух, а в четырех узлах (D , \bar{D} , D' и \bar{D}'), которые физически, на уровне топологии, разнесены друг относительно друга, и поэтому, при возникновении ОС в одном из четырех узлов, логическое состояние не изменится, то есть сбоя не возникнет.

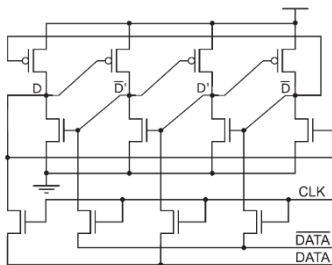


Рисунок 1 – Ячейка памяти типа DICE.

Существуют разные подходы к реализации ТМР, различающиеся объёмом резервирования и, как следствие, занимаемой площадью, потребляемой мощностью и обеспечиваемым уровнем сбоеустойчивости. Выбор конкретного метода ТМР или сочетания методов представляет собой компромисс между производительностью и сбоеустойчивостью. Основные подходы к реализации ТМР можно классифицировать следующим образом:

- 1) ЛТМР – осуществляется троирование триггеров, выходы которых подаются на МЭ;
- 2) РТМР – осуществляется троирование триггеров и связанной с ними комбинационной логики, кроме дерева синхросигналов, выходы комбинационной логики подаются на МЭ;
- 3) ГТМР – тоже что РТМР, но с троированием дерева синхросигналов;
- 4) БТМР – троирование осуществляется на уровне крупных блоков, содержащих большое количество триггеров и комбинационной логики, до миллионов элементов, выходы блоков подаются на МЭ.

Одним из наиболее критичных элементов КМОП ИС с точки зрения обеспечения сбоеустойчивости является МЭ. В последнее время было опубликовано значительное количество научных работ, посвященных МЭ, однако до недавнего времени отсутствовало экспериментальное сравнение сбоеустойчивости различных вариантов реализаций МЭ. В настоящей диссертационной работе, в главе 2, представлены: метод сравнительного экспериментального исследования сбоеустойчивости пяти вариантов МЭ, изготовленных по КМОП-технологии TSMC с проектными нормами 65 нм, аппаратная реализация предложенного метода, результаты эксперимента и выработанные на основе этих результатов методические рекомендации по выбору типа МЭ для разных вариантов реализации ТМР.

Одной из интенсивно развивающихся в последнее время областей проектирования ИС являются давно и хорошо известные асинхронные схемы. Возобновившийся интерес к данному типу устройств вызван тем, что асинхронные схемы потенциально могут обладать меньшим потреблением и лучшим быстродействием, по сравнению с синхронными схемами, или работать в более широком диапазоне температур и напряжений питания. Эти свойства делают их перспективными в такой новой области применения ИС, как аппаратная реализация алгоритмов искусственного интеллекта, в частности в аппаратных ускорителях нейросетей.

Одним из основных элементов для широкого класса асинхронных ИС, а значит и наиболее критичным с точки зрения сбоеустойчивости, является С-элемент Маллера, который представляет собой последовательностный элемент, повторяющий на своём выходе входные сигналы в случае, если они находятся в одинаковом логическом состоянии, или хранящий предыдущее состояние в случае, если входные сигналы находятся в разных логических состояниях. Разработке сбоеустойчивых С-элементов Маллера, в которых применяется двойное внутреннее резервирование по типу DICE, посвящена глава 3 настоящей диссертационной работы, в которой предложено три оригинальных схемотехнических решения.

Для повышения эффективности разработки ИС, обладающих повышенной устойчивостью к РИС, необходимы методы моделирования эффектов ОС в ИС на разных уровнях абстракции, применяемых в стандартном маршруте проектирования, основными из которых являются SPICE и HDL

(Verilog или VHDL). Применение данных методов должно позволять оценить сбоестойчивость примененных при разработке ИС архитектурных, схематехнических и конструктивно-топологических решений до изготовления устройства. Данному вопросу в последние десятилетия было посвящено большое количество научных работ.

В работе G.C. Messenger 1982 года была предложена упрощенная модель быстрого переходного процесса, вызванного попаданием одиночной частицы в чувствительный объем ИС. Данная модель крайне удобна для моделирования эффектов ОС в ИС на SPICE-уровне абстракции, потому что позволяет описать эффект с помощью подключения параллельно элементу (транзистору), на который оказывается воздействие, источника тока специальной формы. В главе 2, в том числе, представлена разработанная соискателем методика автоматизированного схематехнического моделирования эффектов воздействия тяжелых заряженных частиц на современные КМОП ИС на SPICE-уровне, которая применялась при проектировании МЭ, описанных в главе 2 и оценке сбоестойчивости С-элементов, три оригинальные схемы которых, представлены в главе 3.

На Verilog-уровне абстракции эффекты SEU моделируются с помощью изменения логического состояния переменной, отражающей логическое состояние последовательностного элемента (триггера или ячейки памяти) на противоположное, а эффекты SET – с помощью временного изменения логического состояния переменной, отражающей логическое состояние в узле, соответствующего выходу комбинационного элемента, на противоположное и удержание его там заданное время, после чего логическое состояние в данном узле перестает удерживаться и начинает определяться логическими состояниями на входах элемента, то есть возвращается в штатный режим функционирования. В главе 4 представлен разработанный соискателем метод внесения сбоев в модель ИС на Verilog-уровне абстракции, полностью совместимый со стандартным маршрутом верификации и учитывающий конструктивно-топологические особенности устройства. В рамках апробации метод был применен к специально разработанным для этого пяти вариантам шифраторов по стандарту Advanced Encryption Standard (AES) со 128-битным ключом, обладающих разной сбоестойчивостью.

2 Экспериментальное исследование сбоестойчивости МЭ

Как уже было отмечено, критичным элементом ИС, в которых применяется ТМР, с точки зрения сбоестойчивости является МЭ, осуществляющий голосование «два из трех». Логическая функция МЭ описывается следующей простой логической формулой:

$$Q = A \times B + B \times C + A \times C, \quad (1)$$

где Q – логическое состояние, установившееся на выходе элемента, A, B и C – логические состояния, подаваемые на соответствующие входы

элемента. Если в одной из копий блока, к которому было применено ТМР, произошёл сбой и выходной сигнал этого блока подается на МЭ, то МЭ обеспечит правильное логическое состояние на своём выходе. Но если сбой произойдёт в самом МЭ, то он может распространиться на последующие элементы ИС, что может привести к потере работоспособности троированной системы.

Одной из задач настоящей диссертационной работы являлась разработка метода экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС и исследование с его помощью МЭ, для чего было спроектировано пять различных вариантов реализации МЭ. Исследованные МЭ были разработаны по КМОП-технологии TSMC с проектными нормами 65 нм. Их логические или принципиальные электрические схемы (в зависимости от типа) представлены на рисунке 2. В таблицах 1 и 2 представлены основные характеристики исследуемых МЭ.

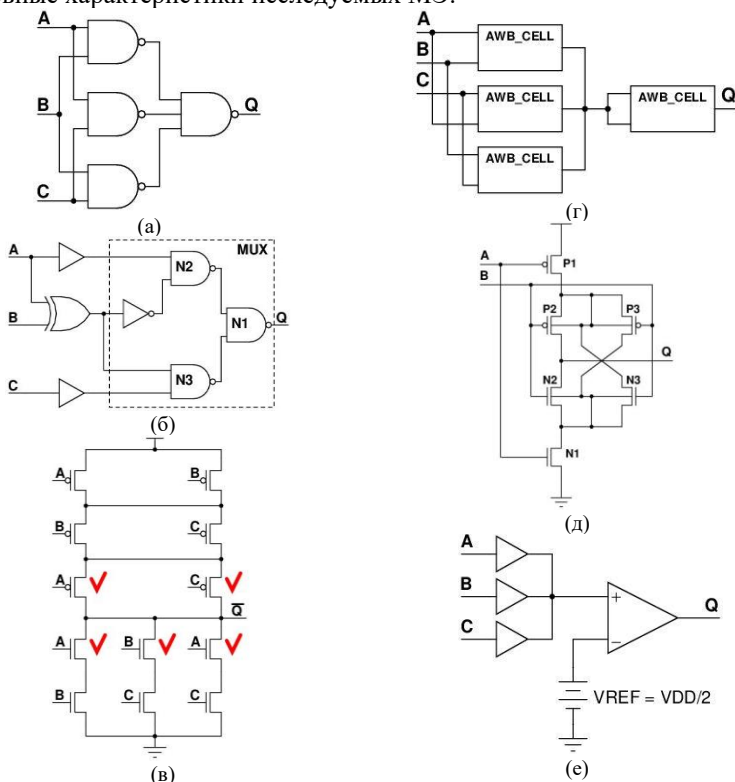


Рисунок 2 – Исследуемые мажоритарные элементы. (а) – NAND, (б) – MUX, (в) – 12Т1, (г) – AWB, (д) – AWB_CELL, (е) – ACOMP.

Таблица 1 – Критический заряд и физические параметры исследуемых МЭ (площадь и количество транзисторов)

МЭ	NAND	MUX	12TI	AWB	ACOMP
Нормализованный критический заряд	1,00	0,91	1,14	1,11	2,30
Занимаемая площадь, мкм ²	54	61	25	420	105
Количество транзисторов	18	34	12	24	22

Таблица 2 – Электрические параметры исследуемых МЭ: потребляемая мощность и времена переключения

МЭ	NAND	MUX	12TI	AWB	ACOMP
t _{PLH} , пс	32	140	14	172	115
t _{PHL} , пс	38	138	27	181	102
Потребляемая мощность, мкВт	27	61	16	51	61

Для оценки критического заряда было проведено автоматизированное по предложенной соискателем методике моделирование на SPICE-уровне абстракции с помощью широко известного подхода, базирующемся на использовании источника тока специальной формы. В тестовом окружении, которое использовалось для моделирования, выход МЭ соединялся со входом сигнала синхронизации триггера. Если при моделировании воздействия ТЗЧ на МЭ на его выходе образовалась помеха, способная переключить триггер, то фиксировался сбой. Критические заряды всех элементов были нормализованы относительно критического заряда элемента NAND (см. табл. 1). Стоит отметить, что данный метод может быть использован только для сравнения однотипных элементов между собой, но не для оценки их реальных физических характеристик.

Для сравнительного экспериментального исследования сбоеустойчивости МЭ соискателем был предложен метод, в основе которого лежит использование большого массива исследуемых элементов, автоматически размещенных на кристалле в случайном порядке, разделенного на фрагменты, каждый из которых содержал по 512 МЭ одного типа. К каждому МЭ из массива был подключен детектор сбоев в виде триггера D-типа с повышенной сбоеустойчивостью (DICE-триггер). Выходы детекторов мультиплексировались и подавались на внешнюю программируемую логическую интегральную схему (ПЛИС), которая регистрировала сбои, в случае их возникновения. Также данный мультиплексированный выход, через схему обратной связи, через заданное время задержки приводил все детекторы соответствующего фрагмента в состояние готовности для регистрации новых сбоев в МЭ (сбрасывал триггеры). Помимо фрагментов, содержащих МЭ, в системе также был эталонный, или пустой, фрагмент, который содержал только массив детекторов, такой же как в остальных фрагментах. Этот элемент системы был необходим для подсчета количества сбоев, которые возникали в системе их регистрации, а не в исследуемых элементах. Общая схема тестовой системы, аппаратно реализующая метод сравнительного экспериментального исследования сбоеустойчивости МЭ, представлена на

рисунке 3. Схема отдельного фрагмента данной тестовой системы представлена на рисунке 4.

Описанная тестовая система была размещена на тестовом кристалле, который в свою очередь располагался на специальной экспериментальной оснастке. Данные устройства были разработаны в ФГУ ФНЦ НИИСИ РАН. Исследования на воздействия ТЗЧ проводились на установке Роскосмоса ИС 01-А на базе циклотрона У-400М ЛЯР им. Флёрва ОИЯИ, г. Дубна, Московская область. Управление осуществлялось специалистами АО «ЭНПО СПЭЛС». В Таблице 3 приведены характеристики ионных пучков. Для исследований использовались два образца. Перед исследованиями корпуса микросхем вскрывались.

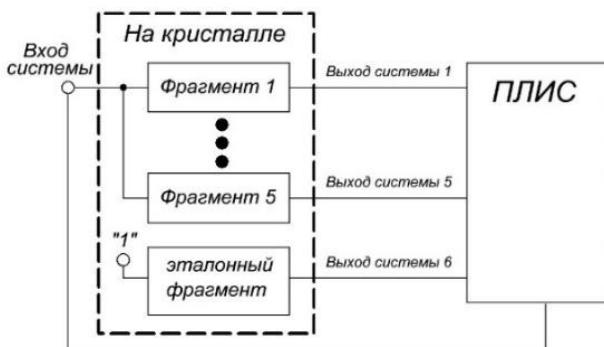


Рисунок 3 – Общая схема тестовой системы аппаратной реализации метода сравнительного экспериментального исследования сбоеустойчивости МЭ.

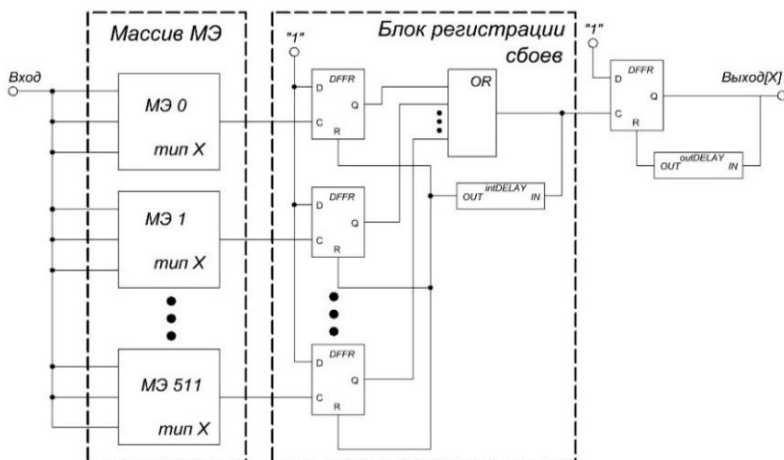


Рисунок 4 – Фрагмент тестовой системы сравнительного экспериментального исследования сбоеустойчивости МЭ.

Таблица 3 – Характеристики ионных пучков

Ион	²² Ne	⁴⁰ Ar	⁸⁴ Kr	¹³⁶ Xe
Эффективная ЛПЭ, МэВ×см ² /мг	7	18	41	60
Энергия, МэВ	81	146	269	435

Для выбора наиболее подходящего типа МЭ для использования в различных типах ТМР предлагается критерий относительной эффективности, которые вычисляется следующим образом:

$$\delta_{EFF} = 1/(\delta_{\sigma} \times \delta_S), \quad (2)$$

где $\delta_{\sigma} = \sigma_{MAX}/\sigma_{MAX_NAND}$ – сечение SET в МЭ, нормированное относительно сечения SET в МЭ NAND, $\delta_S = S/S_{NAND}$ – площадь МЭ, нормированная относительно площади МЭ NAND. В таблице 4 представлены значения δ_{EFF} , δ_{σ} и δ_S для исследованных МЭ. Значения и δ_{EFF} и δ_{σ} представлены для разных логических значений на входах МЭ.

Таблица 4 – Относительные максимальное сечение SET, занимаемая площадь и эффективность МЭ.

МЭ	Вход	NAND	MUX	12TI	AWB	ACOMP
δ_{σ}	0	1,00	1,89	1,14	3,80	4,34
	1	1,00	2,09	1,40	5,63	2,58
δ_S	–	1,00	1,13	0,46	7,78	1,94
	–					
δ_{EFF}	0	1,00	0,47	1,91	0,03	0,12
	1	1,00	0,42	1,55	0,02	0,20

Из таблицы 4 видно, что несмотря на то, что МЭ NAND имеет минимальное значение δ_{σ} , с точки зрения δ_{EFF} он является вторым и уступает МЭ 12TI. Это объясняется тем, что МЭ 12TI характеризуется минимальным значением параметра δ_S среди рассмотренных МЭ при относительно высоком значении параметра δ_{σ} .

В таких вариантах реализации ТМР, как ГТМР и РТМР занимаемая площадь является критически важной из-за большого количества тролируемых элементов. Поэтому в данных вариантах реализации ТМР оптимальным для применения МЭ является МЭ 12TI. В таких вариантах реализации ТМР, как ЛТМР и БТМР занимаемая площадь является не настолько критически важной, как в РТМР и ГТМР, поэтому в данных вариантах реализации ТМР оптимальным для применения МЭ является МЭ NAND.

3 Проектирование сбоеустойчивых С-элементов Маллера

Одним из важнейших компонентов асинхронных цифровых схем является С-элемент Маллера. С-элемент является последовательностным устройством, то есть устройством с памятью, триггером. Допустим, входы С-элемента обозначаются А и В, выход – Q. Когда А=В Q=A=В. Когда А≠В Q=Q₍₋₁₎, то есть на выход Q С-элемента подается состояние Q-1, в котором находился выход элемента непосредственно до того, как на входы были поданы сигналы с разными логическими уровнями. На рисунке 5 представлены три варианта реализации С-элементов на транзисторном уровне. Для

удобства они обозначены сокращениями, применяемыми в ряде научных работ: SC, SS и SIL. Нетрудно заметить, особенно по схеме SIL, что все реализации так или иначе используют для хранения предыдущего состояния ячейку памяти, образованную двумя перекрестно соединенными инверторами (MN1, MP1 и MN2, MP2).

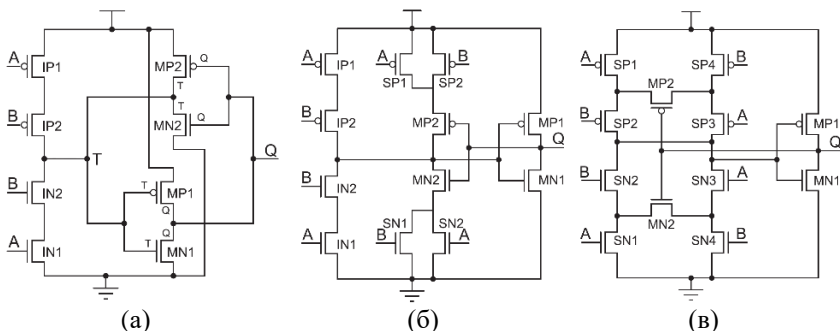


Рисунок 5 – Варианты реализации С-элемента Маллера: SIL (а), SC (б), SS (в)

Поскольку С-элементы являются элементами с памятью, то для повышения их сбоеустойчивости могут быть применены те же подходы, что и для повышения сбоеустойчивости других элементов памяти – триггеров и ячеек памяти, например, использование принципа DICE, заключающегося в хранении логического состояния в четырех узлах вместо двух и являющегося частным случаем ДМР. Такие попытки предпринимались в ряде научных работ – их результат показан на рисунке 6. Однако, при внимательном рассмотрении схемы на рисунке 6 можно увидеть, что схема, по существу, полностью идентична схеме на рисунке 2(а), то есть не является DICE-реализацией С-элемента.

В настоящей диссертационной работе предложены три оригинальных варианта реализации сбоеустойчивого С-элемента на основе DICE-ячейки. Данные схемы получены путем применения принципа DICE к схемам SC, SS и SIL, которые представлены на рисунке 5, и называются, соответственно, SC-DICE, SS-DICE и SIL-DICE. Схемы представлены на рисунках 7-9.

Все схемы, представленные в данной главе, были спроектированы по КМОП-технологии TSMC с проектными нормами 65 нм. Путем моделирования были получены основные параметры, характеризующие их быстродействие и потребляемую мощность: задержка переключения $T_{П}$, потребляемая мощность P . Также при помощи SPICE-моделирования было показано, что С-элементы SIL-DICE, SC-DICE и SS-DICE полностью нечувствительны к ОС, затрагивающим только один из четырех чувствительных узлов. В С-элементах SIL, SC, SS и псевдо-DICE в подобных случаях возникает сбой.

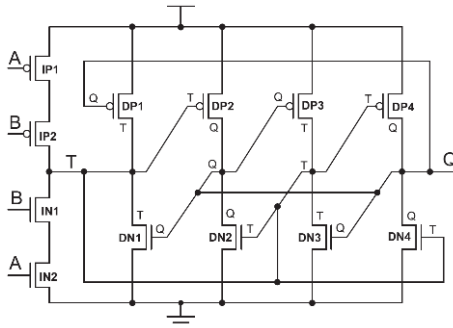


Рисунок 6 – Неправильное применение DICE-принципа для модификации С-элемента:
С-элемент псевдо-DICE.

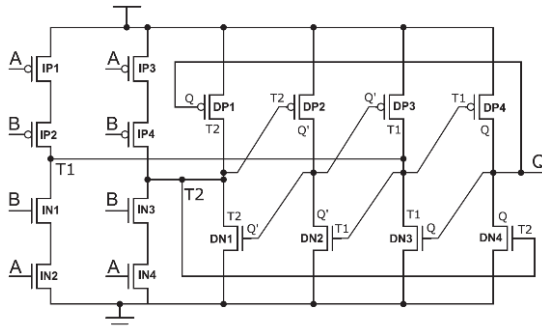


Рисунок 7 – Сбоеустойчивый С-элемент типа SIL-DICE.

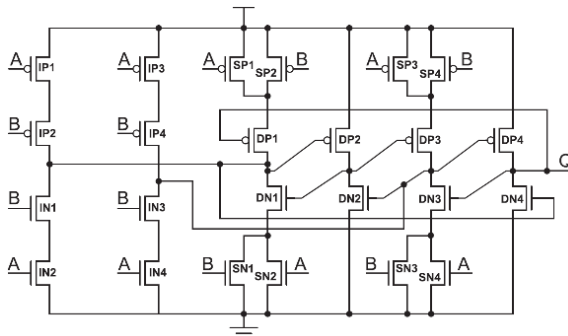


Рисунок 8 – Сбоеустойчивый С-элемент типа SC-DICE.

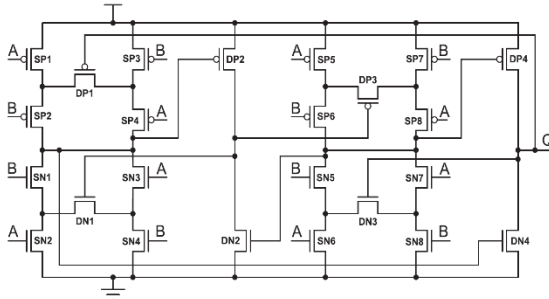


Рисунок 9 – Сбоеустойчивый C-элемент типа SS-DICE.

4 Метод моделирования эффектов ОС в цифровых ИС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства

Постоянно возрастающая сложность СБИС приводит ко всё возрастающей сложности их разработки, одним из важнейших аспектов которой является функциональная верификация. При этом остро стоит вопрос верификации ИС с точки зрения их сбоеустойчивости. С этим связано развитие средств моделирования эффектов ОС в цифровых ИС. В качестве примера можно привести ведущих мировых производителей САПР для проектирования СБИС Cadence и Synopsys с их инструментами Xcelium Fault Simulator и Z01X Fault Simulation Solution, соответственно, а также отечественную компанию AlphaChip и её инструменты Eva и Nadezhda.

Важным аспектом функциональной верификации является проверка поведения тестируемого устройства во время появления ошибки, например, проверяется реакция устройства на некорректную команду или попытка одновременного включения разных режимов функционирования ИС. Задачей функциональной верификации в данном случае является проверка отсутствия критических сбоев. К примеру, некорректная команда не должна приводить к зависанию процессора. При стандартном подходе к верификации проверяется реакция исследуемого устройства на ошибки, возникающие вне исследуемого устройства. Однако также можно проверять реакцию на ошибки, возникающие внутри самого объекта исследования, например, на ошибку, инжектируемую для моделирования одиночного события, возникающего в результате воздействия ОЯЧ.

Инструменты, расширяющие возможности функциональной верификации за счёт добавления инжекции сбоев, должны быть совместимы со стандартными маршрутом проектирования и доступны для быстрого освоения без специальных знаний в области физики, программирования и др. Одним из способов создания таких инструментов является разработка методов на языке описания аппаратуры SystemVerilog.

Под совместимостью со стандартным маршрутом проектирования подразумевается то, что используемые инструменты не должны включать в

свой состав сложное или дорогое стороннее программное обеспечение и не должны требовать нехарактерных для стандартного маршрута вмешательств в верифицируемый проект. В последнее время много работ сосредоточено на моделировании множественных сбоев, для чего разрабатываются методики внесения сбоев с учетом конструктивно-топологических особенностей устройства, они открывают возможность проверки эффективности различных методов повышения сбоеустойчивости на этапе разработки СБИС, до её изготовления. Для извлечения геометрической информации из топологии и вычисления координат, в которые будут внесены сбои, в таких инструментах используется различное программное обеспечение, являющееся внешним по отношению к САПР, применяемому для верификации. Такой подход уменьшает удобство использования данных инструментов и делает их не вполне совместимыми со стандартным маршрутом проектирования.

В настоящей диссертационной работе представлен метод внесения сбоев на Verilog-уровне абстракции, который полностью совместим со стандартным маршрутом проектирования, учитывает конструктивно-топологические особенности верифицируемого устройства. Также представлена реализация данного метода в виде программного средства SVFIKIT. Данное программное средство использует только возможности языков SystemVerilog. Применение данного средства позволяет использовать имеющиеся функциональные тесты без их значительной модификации. Метод основан на извлечении информации о топологии тестируемого устройства из файла в формате DEF (Design Exchange Format), после чего эта информация сопоставляется с логической схемой устройства. Разработчик может легко встроить SVFIKIT и осуществлять автоматизированную верификацию с внесением сбоев.

Для апробации работы метода были разработаны пять вариантов шифраторов по стандарту Advanced Encryption Standard (AES) со 128-битным ключом. Для разработки использовалась библиотека радистойких стандартных ячеек, разработанная в ФГУ ФНЦ НИИСИ РАН по КМОП-технологии с проектными нормами 65 нм. Исходный Verilog код шифраторов был взят с сайта OpenCores.org. Один шифратор был разработан по стандартному маршруту, еще четыре являются TMP-модификацией этого варианта на уровне регистровых передач (RTL): обычный шифратор (ОШ), с ЛТМР (ЛТ), с ЛТМР и разнесением (ЛТР), с РТМР (РТ), с РТМР и разнесением (РТР). Таким образом, тестируемые устройства имели очевидно разную сбоеустойчивость. Параметры всех шифраторов приведены в таблице 5. Для верификации AES-шифраторов, в том числе с внесением сбоев, был разработан самопроверяемый функциональный тест, в котором выход шифратора сравнивался с результатом, полученным с помощью программы, написанной на C++, и реализующей алгоритм AES-шифрования для тех же входных векторов.

Таблица 5 – Параметры объектов, использованных для верификации предложенного метода инъекции сбоев в Verilog-нетлист с учётом топологии

Объект	ОШ	ЛТ	ЛТР	РТ	РТР
Количество ячеек	187889	201738	202230	570925	571030
Количество триггеров	6720	20160	20160	20160	20160
Количество логических элементов	181169	181578	182070	550765	550870
Занимаемая площадь, см ²	0,01205	0,01496	0,01490	0,03582	0,03582
Потребляемая мощность, мВт	255	417	421	932	934

Было проведено по 100,000 (сто тысяч) внесений сбоев в каждый шифратор для каждой из шести разных тактовых частот, на которых проводилось моделирование. В таблице 6 представлена статистика сбоев. На рисунке 10 представлена нормированная на количество сбоев в ОШ зависимость числа сбоев в исследуемых шифраторах от частоты.

Таблица 6 – Статистика, собранная по результатам моделирования

Частота	ОШ	ЛТ	ЛТР	РТ	РТР
50	13342	7979	2355	1656	792
100	13952	8567	2999	1635	802
150	14798	9201	3588	1627	807
200	15428	9768	4373	1554	716
250	15886	10125	5063	1630	788
300	16722	10809	5760	1695	826

ОШ версия показывает наилучшие результаты сбоеустойчивости, как и ожидалось. Пространственное разнесение в версиях ЛТР и РТР уменьшило сечение сбоев и число сбоев относительно версий ЛТ и РТ. Зависимость числа сбоев от частоты имеет классическую линейную форму. Из-за высокой сложности блоки РТ и РТР не демонстрируют явной зависимости числа сбоев от частоты.

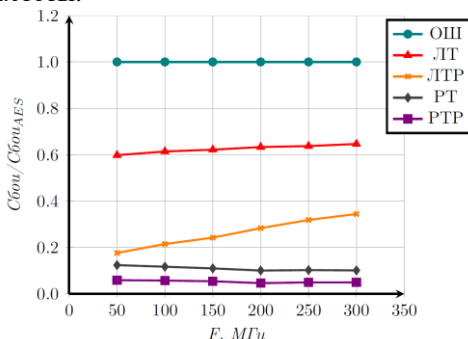


Рисунок 10 – Нормированная на число сбоев в ОШ зависимость числа сбоев в исследуемых шифраторах от частоты.

Представленный метод инъекции сбоев совместим со стандартным маршрутом разработки и верификации ИС. Метод апробирован моделированием блоков шифраторов по стандарту AES, имеющих очевидно разную сбоеустойчивость. Результаты апробации показывают, что предложенный метод может использоваться в стандартном маршруте проектирования для

проверки методов защиты от эффектов ОС в ИС. Разработанный метод не требует стороннего программного обеспечения, модификации моделей стандартных ячеек и другого нехарактерного для стандартного маршрута вмешательства в тестируемое устройство. Это также позволяет повторно использовать функциональные тесты без их существенной модификации. Предложенный метод внесения сбоев использует очень простую модель инъекции и дает оценку наихудшего случая, пригодную для сравнения различных версий устройства, но его структура дает возможность расширить ее для использования более сложных моделей воздействия ТЗЧ на ИС, например, использующих SPICE-характеризацию.

Заключение

Основной научный результат диссертации заключается в разработке и исследовании МЭ и С-элементов Маллера, которые являются критическими с точки зрения сбоеустойчивости элементами современных СБИС, выполненных по КМОП-технологиям с проектными нормами уровня 65 нм, а также в развитии методов проектирования сбоеустойчивых СБИС и программных средств, реализующих данные методы. Представленные в диссертации научные результаты позволили частично решить задачу повышения сбоеустойчивости СБИС, в которых применяется метод ТМР, и асинхронных ИС, а также внесли существенный вклад в развитие методов моделирования эффектов ОС на Verilog-уровне абстракции с учётом конструктивно-топологических особенностей устройства.

Основные теоретические результаты:

1. Разработан метод экспериментального сравнительного исследования чувствительности к воздействию ТЗЧ комбинационных элементов ИС, реализующих одну и ту же логическую функцию, который позволил провести исследование критичных с точки зрения сбоеустойчивости ИС МЭ.
2. Результаты применения предложенного метода для экспериментального сравнительного исследования сбоеустойчивости МЭ, изготовленных по КМОП-технологии TSMC с проектными нормами 65 нм, позволили выработать методические рекомендации по выбору типа МЭ для использования в различных вариантах реализации ТМР (ЛТМР, РТМР, ГТМР, БТМР).
3. Предложены оригинальные схемотехнические решения для реализации сбоеустойчивого С-элемента Маллера с повышенной сбоеустойчивостью, достигаемой за счёт использования принципа DICE.

Основные практические результаты:

1. Библиотека стандартных ячеек, выполненных по КМОП-технологии с проектными нормами 65 нм, предназначенная для проектирования КМОП СБИС с повышенным уровнем сбоеустойчивости к эффектам ОС дополнена двумя элементами типа МЭ. Получены 2

- свидетельства о регистрации базы данных и 2 свидетельства о регистрации топологии
2. Разработанные программы «SEMT» и «SVFIKIT» полностью совместимы со стандартным маршрутом проектирования и при интеграции в него существенно повышают эффективность проектирования сбоеустойчивых ИС. На программы «SEMT» и «SVFIKIT» получены свидетельства о государственной регистрации программы для ЭВМ.
 3. Результаты диссертации внедрены в ФГУ ФНЦ НИИСИ РАН при разработке СБИС в рамках ОКР «Обработка-И7-РК», ОКР «Схема-ИЗ-Т», а также при разработке сбоеустойчивого коммутатора SpaceWire по КМОП-технологии с проектными нормами 65 нм.

Список работ, опубликованных по теме диссертации

Публикации в изданиях, рекомендованных ВАК РФ:

1. Danilov, I. A. SET tolerance of 65 nm CMOS majority voters: A comparative study / I. A. Danilov, M. S. Gorbunov, A. A. Antonov // IEEE Transactions on Nuclear Science. – 2014. – Vol. 61. – No 4. – P. 1597-1602. – DOI 10.1109/TNS.2014.2311297.
2. On board electronic devices safety provided by DICE-based Muller C-elements / I. A. Danilov, M. S. Gorbunov, A. I. Shnaider [et al.] // Acta Astronautica. – 2018. – Vol. 150. – P. 28-32. – DOI 10.1016/j.actaastro.2018.01.019.
3. I. A. Danilov, A. I. Khazanova, A. O. Balbekov, M. S. Gorbunov, "Standard Verification Flow Compatible Layout-Aware Fault Injection Technique for Single Event Effects Tolerant ASIC Design", 2019 20th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2019 (принята к публикации).
4. I. A. Danilov, M. S. Gorbunov and A. A. Antonov, "SET tolerance of 65 nm CMOS majority voters: A comparative study," 2013 14th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2013, pp. 1-6, doi: 10.1109/RADECS.2013.6937384.
5. DICE-based muller C-elements for soft error tolerant asynchronous ICs / I. A. Danilov, M. S. Gorbunov, A. I. Shnaider [et al.] // Proceedings of the European Conference on Radiation and its Effects on Components and Systems, RADECS : 16, Bremen, 19–23 сентября 2016 года. – Bremen, 2017. – P. 1-4. – DOI 10.1109/RADECS.2016.8093145.
6. Маршрут разработки сбоеустойчивых СБИС с помощью программной инъекции сбоев с учетом топологии / И. А. Данилов, А. И. Шнайдер Хазанова, А. О. Балбеков [и др.] // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2019. – № 4. – С. 5-10.
7. Данилов, И. А. Внесение сбоев с учётом топологии устройства и данных SPICE-характеризации библиотеки стандартных ячеек на

- чувствительность к воздействию отдельных ядерных частиц / И.А. Данилов, А.И. Хазанова, А.О. Балбеков, М.С. Горбунов // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2020. – № 3. – С. 14-23.
8. Данилов, И. А. Сравнительные испытания на стойкость к воздействию тяжелых заряженных частиц мажоритарных элементов, выполненных по объемной 65 нм КМОП-технологии / И. А. Данилов, Ю. Б. Рогаткин // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2014. – № 4. – С. 41-48.
 9. С-элементы на основе DICE-ячейки как элементы сбоеустойчивых самосинхронных схем / И. А. Данилов, А. И. Шнайдер, А. О. Балбеков, Ю. Б. Рогаткин // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2015. – № 3. – С. 32-38.
 10. Данилов, И. А. Метод автоматизированного схемотехнического моделирования эффектов воздействия тяжелых заряженных частиц на современные КМОП ИМС / И. А. Данилов, Б. В. Василегин, П. Н. Осипенко // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2011. – № 4. – С. 13-16.
 11. Разработка программных средств моделирования ИМС с повышенной стойкостью к внешним воздействующим факторам космического пространства / И. А. Данилов, М. С. Горбунов, Г. И. Зебрев [и др.] // Информационные системы и технологии. – 2011. – № 1(63). – С. 30-38.
 12. Сравнительный анализ внесения сбоев с учетом топологии в контроллеры прямого доступа к памяти с различными вариантами тропирования / П. О. Черняков, А. П. Skorobogatov, А. А. Звягин [и др.] // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. – 2019. – № 4. – С. 11-16.
 13. Comparative Analysis of Layout-Aware Fault Injection on TMR-based DMA Controllers / P. Chernyakov, A. Skorobogatov, A. Zvyagin [et al.] // 2019 IEEE 31st International Conference on Microelectronics, MIEL 2019 - Proceedings : 31, Nis, 16–18 сентября 2019 года. – Nis, 2019. – P. 289-292. – DOI 10.1109/MIEL.2019.8889643.
 14. Verilog-A modeling of radiation-induced mismatch enhancement / M. S. Gorbunov, I. A. Danilov, P. N. Osipenko, G. I. Zebrev // IEEE Transactions on Nuclear Science. – 2011. – Vol. 58. – No 3 Part 2. – P. 785-792. – DOI 10.1109/TNS.2010.2104162.
 15. Optimization of Hsiao Decoders by Circuit-Level Minimization / K. Petrov, I. Danilov, A. Shnaider Khazanova, M. Gorbunov // 2019 IEEE

31st International Conference on Microelectronics, MIEL 2019 - Proceedings : 31, Nis, 16–18 сентября 2019 года. – Nis, 2019. – P. 301-304. – DOI 10.1109/MIEL.2019.8889623.

Статьи и материалы конференций:

1. Данилов И.А., «Результаты сравнительных испытаний блоков обеспечения сбоеустойчивости резервируемого микропроцессора», Научная сессия НИЯУ МИФИ – 2013, Т.1, стр. 3-4, 2013.
2. Данилов И.А., «Исследование блоков обеспечения сбоеустойчивости резервируемого микропроцессора», Научная сессия НИЯУ МИФИ – 2012, Т.1, стр. 67-68, 2012.
3. Данилов И.А., Василегин Б. В., Осипенко П.Н. «Метод автоматизированного схмотехнического моделирования эффектов воздействия тяжелых заряженных частиц на современные КМОП ИМС» на всероссийской научно-технической конференции "Радиационная стойкость электронных систем". Тезисы докладов 14 Всероссийской научно-технической конференции «Стойкость-2011», 2011.
4. Данилов И.А., Рогаткин Ю.Б., «Сравнительные испытания мажоритарных элементов на стойкость к воздействию тяжелых заряженных частиц» на всероссийской научно-технической конференции "Радиационная стойкость электронных систем". Тезисы докладов 16 Всероссийской научно-технической конференции «Стойкость-2013», 2013.
5. И.А. Данилов, А.И. Хазанова, А.О. Балбеков, М.С. Горбунов, А.А. Антонов, «Маршрут разработки сбоеустойчивых СБИС с помощью программной инжекции сбоев с учетом топологии», Всероссийская научно-техническая конференция «Радиационная стойкость электронных систем» (Стойкость-2019), 2019.
6. И.А. Данилов, А.И. Хазанова, А.О. Балбеков, М.С. Горбунов, "Внесение сбоев с учётом топологии устройства и данных SPICE-характеристики библиотеки стандартных ячеек на чувствительность к воздействию отдельных ядерных частиц", Всероссийская научно-техническая конференция «Радиационная стойкость электронных систем» (Стойкость-2020), 2020.
7. Горбунов М.С., Долотов П.С., Данилов И.А., Шунков В.Е., Шнайдер А.И., Балбеков А.О., Осипенко П.Н., «Проблемы проектирования и испытаний сбоеустойчивых ИМС по 65 нм КМОП технологии», Научная сессия НИЯУ МИФИ – 2012, Т.1, стр. 67, 2012.
8. Проблемы проектирования и испытаний сбоеустойчивых ИМС по 65 нм КМОП технологии / М. С. Горбунов, П. С. Долотов, И. А. Данилов [и др.] // Научная сессия НИЯУ МИФИ-2012 : аннотации докладов: в 3 томах, Москва, 2012 г. – Москва: Национальный исследовательский ядерный университет "МИФИ", 2012. – С. 120.