

На правах рукописи

Гармаш Александр Александрович

**МАЛОМОЩНЫЕ  
ЦИФРОВЫЕ СЛОЖНОФУНКЦИОНАЛЬНЫЕ БЛОКИ  
КМОП СБИС**

05.13.05 – «Элементы и устройства вычислительной техники  
и систем управления»

Автореферат  
диссертации на соискание ученой степени  
кандидата технических наук

Автор:

Москва – 2010 г.

Диссертация выполнена в Национальном исследовательском ядерном университете «МИФИ»

Научный руководитель:

кандидат технических наук, зав. НИЛ  
Герасимов Юрий Михайлович  
НИЯУ «МИФИ»

Официальные оппоненты:

доктор технических наук,  
Крупкина Татьяна Юрьевна  
МИЭТ

кандидат технических наук  
Корнеев Игорь Леонидович  
ФГУП НИИМА «Прогресс»

Ведущая организация:

ОАО «Ангстрем»

Защита диссертации состоится 15 февраля 2010 г. в 17 часов 00 минут на заседании диссертационного совета Д 212.130.02 в НИЯУ «МИФИ» по адресу 115409, г. Москва, Каширское шоссе, 31, тел. 323-91-67.

С диссертацией можно ознакомиться в библиотеке НИЯУ «МИФИ».

Автореферат разослан «14» января 2010 г.

Ученый секретарь  
диссертационного совета  
д.т.н., профессор



П.К. Скоробогатов

# ОБЩАЯ ХАРАКТЕРИСТИКА ДИССЕРТАЦИИ

## Актуальность проблемы

Развитие перспективной электронной компонентной базы (ЭКБ) в России в настоящее время связано с освоением передовых технологий изготовления КМОП СБИС уровня 250...90нм и созданием на этой основе наноразмерных СБИС типа «система на кристалле» (СнК), позволяющих решать важные, в частности, стратегические задачи обработки сигналов в реальном масштабе времени.

Обязательными элементами наноразмерных СБИС СнК являются процессорные ядра, память, периферийные цифровые, цифро-аналоговые и аналоговые блоки. В основе процессорных ядер лежат цифровые сложнофункциональные (СФ) блоки арифметико-логических устройств, устройств управления и памяти. Современные СБИС СнК содержат десятки-сотни миллионов транзисторов, имеют размеры кристалла 200...500мм<sup>2</sup>, работают на частотах от 0,5 до 3ГГц и выше, при этом потребляют значительную мощность: несколько десятков и сотен Ватт, более 50% которой приходится на цифровые блоки и блоки ОЗУ.

Такое значительное энергопотребление приводит к росту температуры кристалла и появлению локальных перегревов, в результате чего:

- снижается надежность работы СБИС;
- происходит ухудшение электрических характеристик СБИС, прежде всего снижение быстродействия;
- увеличивается вероятность функционального отказа СБИС.

Для мобильных устройств увеличение энергопотребления приводит к:

- снижению времени работы от внешнего источника питания;
- увеличению размеров и мощности охлаждающих устройств;
- увеличению стоимости эксплуатации устройства.

Маршрут проектирования СБИС СнК основан на повторном использовании СФ-блоков и в частности включает в себя этапы:

- разработки алгоритмов и архитектуры функционирования СнК, определение состава используемых СФ-блоков;
- выбора используемых для синтеза библиотек стандартных логических элементов;
- проектирования заказных СФ-блоков СБИС на основе библиотек стандартных логических элементов;
- верификации и аттестации заказных СФ-блоков;
- синтеза и верификации проекта на логическом уровне с учетом характеристик СФ-блоков;
- интеграции СФ-блоков в проект.

Электрические характеристики наноразмерных СБИС СнК, в том числе и энергопотребление, при выбранном уровне технологии зависят от характеристик используемых СФ-блоков, библиотек логических элементов и заложенных алгоритмов функционирования. В рамках требований, предъявляемых к современным наноразмерным СБИС СнК, СФ-блоки при заданных электрических параметрах должны обладать как можно меньшим энергопотреблением. Характеристики СФ-блоков зависят от характеристик используемой библиотеки стандартных логических элементов и алгоритмическо-схемотехнических решений, используемых при их проектировании.

Для снижения энергопотребления отдельных сложнофункциональных блоков и наноразмерных СБИС СнК используются различные методы, в основу которых положены общеизвестные принципы минимизации общей перезаряжаемой емкости, количества переключений для выполнения определенной логической функции, динамического снижения напряжения питания и отключения неиспользуемых блоков. Как правило, в литературе рассмотрены методы уменьшения мощности конкретных реализаций блоков, принадлежащих определенному классу устройств, фиксированного круга задач, но не рассматривается проблема в целом – для каждого этапа маршрута проектирования. Так же, в литературе отсутствуют сведения о методиках проектирования стандартных библиотек, ориентированных на использование в быстродействующих, малопотребляющих СБИС. Возможно, такие методики являются интеллектуальной собственностью зарубежных компаний разработчиков.

Поэтому разработка методов и методик проектирования наноразмерных цифровых СФ-блоков и СБИС СнК с пониженным энергопотреблением, ориентированных на технологии уровня 250-90 нм, является одной из актуальных задач развития теории проектирования перспективной отечественной ЭКБ.

Проектирование современных СБИС осуществляется в автоматическом или полуавтоматическом режиме с использованием средств САПР, которые предоставляют широкие возможности для минимизации потребляемой мощности. Поэтому, разрабатываемые методы и методики базируются на использовании современных зарубежных средств САПР.

**Целью диссертационной работы** является развитие теории и разработка методик проектирования быстродействующих малопотребляющих цифровых СФ-блоков и их интеграция в маршрут проектирования КМОП СБИС СнК, основанный на применении современных САПР для перспективной отечественной технологической базы уровня 250-90 нм.

Для достижения поставленной цели в диссертационной работе решаются следующие задачи:

1. Анализ физических основ энергопотребления КМОП СБИС и разработка на основе его результатов методики оптимизации логических цепей по энергопотреблению при заданном быстродействии.
2. Анализ маршрутов и методов проектирования цифровых СФ-блоков, основанных на применении средств САПР, и разработка на основе этого анализа требований к элементам стандартной библиотеки логических элементов, ориентированной на использование при автоматическом проектировании быстродействующих малопотребляющих СФ-блоков.
3. Разработка методик снижения энергопотребления цифровых СФ-блоков, в том числе СФ-блоков ОЗУ, и их интеграция в маршрут проектирования.
4. Апробация и использование разработанного маршрута при проектировании малопотребляющих СФ-блоков.

### **Научная новизна диссертации**

1. Предложен метод оптимизации логической цепи по критерию получения минимального энергопотребления при заданном быстродействии, основанный на расчете оптимального коэффициента нагрузки и числа КМОП каскадов логической цепи.
2. Разработана методика минимизации мощности цифровых СФ-блоков, основанная на выделении функциональных узлов и их реализации в заказном виде на основании разработанного метода оптимизации логической цепи.
3. Разработана методика расчета оптимального числа строк и столбцов в накопителе, позволяющая на логическом этапе проектирования определить структуру ОЗУ, обладающую при заданных значениях информационной емкости и быстродействия минимальным энергопотреблением.

### **Практическая значимость работы**

1. Метод оптимизации логических цепей использован при расчете размеров транзисторов сложных логических элементов стандартных библиотек и при проектировании логических цепей в заказном виде, что позволило на 10-20% снизить их энергопотребление.
2. Методика минимизации мощности, основанная на выделении из состава СФ-блока функциональных узлов и их реализации в заказном виде, использована при проектировании арифметико-логических СФ-блоков и СФ-блока ФАПЧ микропроцессора «Мультикор».
3. Методика расчета оптимального по быстродействию и энергопотреблению соотношения числа строк и столбцов в накопителе позволила на логическом этапе проектирования СФ-блоков ОЗУ определить их

структуру и оценить энергопотребление, что сократило время их разработки.

4. Разработанный D-триггер, срабатывающий по фронту и срезу тактового сигнала позволяет на 30-40% снизить энергопотребление цепей распространения тактовых сигналов СБИС СнК.
5. Разработанные быстродействующие малопотребляющие сложные логические элементы использовать при синтезе высокопроизводительных малопотребляющих цифровых СФ-блоков входящих в состав микропроцессора «Мультикор».

### **Положения, выносимые на защиту**

1. Метод оптимизации логических цепей по критерию получения минимального энергопотребления при заданном быстродействии, основанный на расчете оптимальных коэффициентов нагрузки и числа КМОП каскадов логической цепи.
2. Методика минимизации мощности цифровых СФ-блоков, основанная на выделении функциональных узлов и их реализации в заказном виде на основании разработанного метода оптимизации логических цепей.
3. Методика расчета оптимального соотношения числа строк и столбцов в накопителе, позволяющая на логическом этапе проектирования определить структуру ОЗУ, обладающую минимальным энергопотреблением при заданных информационной емкости и быстродействии.
4. Схемотехническая реализация триггеров, срабатывающих по фронту и срезу тактового сигнала и обеспечивающих снижение энергопотребления цепей распространения тактовых сигналов.

### **Внедрение результатов работы**

1. Малопотребляющие быстродействующие сложные логические элементы, разработанные с учетом выработанных требований к элементам стандартной библиотеки, использованы при синтезе внутренних цифровых блоков сигнальных процессоров семейства “Мультикор” разработки ГУП НПЦ «ЭЛВИС», что подтверждено актом о внедрении.
2. Маршрут проектирования, включающий разработанные методы и методики, использован при проектировании СФ-блоков ФАПЧ и СФ-блоков СОЗУ для сигнальных микропроцессоров семейства “Мультикор” разработки ГУП НПЦ «ЭЛВИС», что подтверждено актом о внедрении.
3. Методика расчета оптимального числа столбцов и строк в накопителе и метод оптимизации логических цепей использованы при разработке СФ-блока СОЗУ 4К×16 бит в составе СБИС ММК-Р разработки ЗАО НТЦ «Модуль», что подтверждено актом о внедрении.

### **Апробация диссертации**

Основные положения диссертации докладывались и обсуждались на научно-технических конференциях и семинарах:

- Научно-техническая конференция «Электроника, микро- и наноэлектроника», 2004 г. (г. Новгород), 2005 г. (г. Вологда), 2006 г. (г. Гатчина), 2008 г. (г. Петрозаводск).
- Научные сессии МИФИ-2005, МИФИ-2007.
- Всероссийская научно-техническая конференция "Проблемы разработки перспективных микроэлектронных систем - 2005"

### **Публикации**

Основные результаты диссертации опубликованы в 9 работах (в период с 2004 по 2010 гг., в том числе 1 статья в издании, рецензируемом ВАК России).

### **Структура и объем диссертации**

Диссертация состоит из введения, четырех глав, заключения и списка литературы. Диссертация содержит 146 страниц основного текста, включая 81 рисунок и 11 таблиц. Список литературы включает 102 наименования.

### **Содержание диссертации**

**Во введении** обоснована актуальность темы, определена цель диссертации. Приведена постановка задачи и сформулированы основные положения, выносимые на защиту. Изложены научная новизна и практическая ценность диссертации.

**Первая глава** посвящена анализу физических принципов энергопотребления КМОП СБИС и разработке на его основе метода оптимизации логических цепей по динамическому энергопотреблению при заданном быстродействии.

Проанализированы две составляющие потребляемой мощности:

- статическая мощность ( $P_{ст}$ ) – связанная с энергией, потребляемой СБИС при отсутствии переключений внутренних узлов;
- динамическая мощность ( $P_{дин}$ ) – связанная с энергией ( $E_{дин}$ ), затрачиваемой источником питания на изменение состояния внутренних узлов СБИС при выполнении логических операций.

Энергия  $E_{дин}$  состоит из энергии  $E_{узл}$ , обусловленной перезарядом узловых емкостей ( $C_{узл}$ ) и энергии  $E_{скв}$ , обусловленной протеканием сквозных токов, возникающих при переключениях логических элементов из-за одновременно открытых р- и n-канальных транзисторов. Узловая емкость определяется как сумма емкостей подключенных к узлу выводов элемен-

тов (транзисторов, емкостей, резисторов) и суммарной паразитной емкостью трасс межсоединений.

Энергия  $E_{\text{узл}} = C_{\text{узл}} \times U_{\text{узл}}^2$ , где,  $U_{\text{узл}}$  – размах напряжения переключения узла. Мощность, потребляемая при переключении узла с частотой  $f$  определяется выражением  $P_{\text{узл}} = f \times E_{\text{узл}} = f \times C_{\text{узл}} \times U_{\text{узл}}^2$ .

Энергия  $E_{\text{ск}} = I_{\text{пер.ср}} \times \Delta t \times U_{\text{и.п.}}$ , где  $\Delta t$  – интервал времени в течение которого при переключении КМОП каскад протекает сквозной ток, среднее значение которого равно  $I_{\text{пер.ср}}$ . Если каскад переключается с частотой  $f$ , то связанная со сквозным током мощность определяется выражением  $P_{\text{ск}} = 2 \times U_{\text{и.п.}} \times I_{\text{пер.ср}} \times f \times \Delta t$ .

Общая динамическая мощность, потребляемая СБИС, пропорциональная числу узлов, переключающихся в единицу времени и сумме мощностей  $P_{\text{скв}}$  и  $P_{\text{узл}}$ .

Снижение динамической мощности достигается:

- снижением напряжения питания;
- уменьшением числа транзисторов, необходимых для реализации логической функции;
- снижением числа узлов, переключающихся в единицу времени;
- снижением времени переключения узла.

С уменьшением проектных норм из-за увеличения числа активных элементов, приходящихся на единицу площади, а также изменения параметров технологии в соответствии с правилами масштабирования возрастает значение удельного тока утечки, что приводит к росту доли статической мощности в общем энергопотреблении СнК. Проведенный анализ энергопотребления в режиме предельного быстродействия тестовых цифровых СФ-блоков показал, что при переходе от технологического базиса 250 нм к технологическому базису 90 нм доля статической мощности в их общем энергопотреблении увеличивается: со значения <0,01 % до 9% для арифметико-логических устройств и со значения <1 % до более 22 % для ОЗУ. Анализ зарубежных разработок показал, что с уменьшением проектных норм до уровня 45..35 нм доля статической мощности может достигать 50 и более %, что становится одним из фундаментальных ограничений дальнейшего роста степени интеграции.

В цифровых КМОП СБИС в связи с особенностями их схемотехники отсутствуют элементы, в которых протекают рабочие токи в стационарных состояниях, и статическая потребляемая мощность определяется только токами утечки приборных и паразитных полупроводниковых структур. Современные технологии минимизируют возникновение и влияние паразитных структур на рабочие характеристики СБИС в стандартных режимах работы. Поэтому статическая мощность определяется суммой токов утечки приборных МОП структур:

$I_{\text{под.п}}$  – подпороговый ток МОП транзистора;



$I_{o.п.}$  – ток обратносмещенного р-п перехода (сток-подложка и/или исток-подложка), определяемый суммой диффузионного тока в нейтральной области и генерационного тока в обедненной области;

$I_{з.п.}$  – ток утечки затвор-подложка;

$I_{тсиз}$  – ток стока, индуцированный затвором;

$I_{м.т.}$  – ток обратносмещенного р-п перехода (сток-подложка и/или сток-подложка), вызванный межзонным туннелированием.

Проведенный анализ механизмов токов утечек позволил выявить, что для технологий с длиной канала  $L > 180$  нм и толщиной подзатворного окисла  $T_{ox} > 3$  нм доминирующей утечкой является подпороговый ток, для технологий с  $180 \text{ нм} > L > 90$  нм и  $3 \text{ нм} > T_{ox} > 2$  нм доминирующими утечками является подпороговый ток и ток утечки обратно смещенных р-п- переходов; для технологий с  $L < 90$  нм и  $T_{ox} < 2$  нм доминирующими токами утечек является подпороговый ток, ток утечки через затвор, и ток обратносмещенного р-п перехода, вызванный межзонным туннелированием.

В современные средства САПР заложены эффективные методы снижения статического энергопотребления, в частности:

- управление напряжением питания;
- отключение неиспользуемых блоков;
- использование библиотек с различными пороговыми напряжениями транзисторов.

Эти методы применяются на алгоритмических и архитектурных этапах проектирования СБИС СнК.

Данная работа ориентированна на перспективные отечественные технологии 250-90 нм. При таком уровне технологий доля статической мощности быстродействующих цифровых СФ-блоков не превышает 10-20%, поэтому работа посвящена разработки методов снижения динамической мощности.

Автором на основании известной макро модели логической цепи предложен метод оптимизации критических цепей, основанный на расчете числа и размеров КМОП каскадов, необходимых для реализации логической функции с минимальным энергопотреблением при заданном быстродействии и коэффициенте нагрузки цепи. В отличие от известной, разработанная макро модель учитывает зависимость энергопотребления логической цепи в виде  $P_{л.ц} = F(M_n, M_i, f, U_{и.п.})$ , где

$$M_n = \frac{C_n}{C_{вк}} \times \prod_i^N m_{C_i} m_{П_i} m_{ЭК} - \text{коэффициент нагрузки цепи,}$$

$N$  – число каскадов логической цепи;  $m_{C_i}$  – собственный коэффициент разветвления в  $i$ -узле;  $m_{П_i}$  – коэффициент разветвления, связанный с паразитной емкостью в  $i$ -м узле;  $m_{ЭК}$  – коэффициент, показывающий сколько эквивалентных логических элементов подключено к  $i$ -му узлу цепи,  $M_i$  –

коэффициент нагрузки  $i$ -узла. Суть разработанного метода заключается в определении минимума  $N$  и  $M_i$  для заданных  $f$  и  $M_{н\bar{}}$ , полученного после синтеза дизъюнктивной нормальной формы (ДНФ) логической функции.

При использовании предложенного метода установлено что:

- доля мощности  $P_{ск}$  в общем динамическом энергопотреблении логической цепи ограничивается на уровне 10 % если коэффициент нагрузки  $i$ -1 каскада меньше или равен коэффициенту нагрузки  $i$  каскада;
- для технологий 250-90нм при заданном коэффициенте нагрузки логическая цепь обладает минимальным энергопотреблением при максимальном быстродействии, если число каскадов в ней определено по формуле  $N_{опт} = \frac{\ln(M_{н\bar{}})}{\ln(M_{опт})}$  при  $M_{опт} = 4 \dots 4,2$  ( $M_{опт}$  оптимальный коэффициент нагрузки каскадов логической цепи).

**Вторая глава** посвящена разработке методик проектирования цифровых СФ-блоков КМОП СБИС с пониженным энергопотреблением и интеграции этих методик в маршрут проектирования цифровых СФ-блоков, использующий современные средств САПР.

Цифровая СБИС состоит из совокупности СФ-блоков, дерева цепей распространения тактового сигнала (ДРТС) и объединяющих цепей межсоединений. Ветви ДРТС состоят из цепей буферных и нагрузочных триггерных элементов функциональных блоков. В современных СБИС доля энергопотребления ДРТС достигает 30-50%, что объясняется значительным числом тактируемых элементов (значительной переключаемой емкостью), топологически расположенных на удалении от высокочастотного (100 МГц и выше) источника тактового сигнала.

Применение стробирования тактового сигнала и проектирование топологии ДРТС в виде  $N$ -дерева позволяют значительно снизить значение переключаемой емкости ветвей тактового дерева, что приводит к пропорциональному снижению энергопотребления.

Автором исследованы дополнительные возможности снижения энергопотребления ДРТС, в частности:

- применение триггеров, срабатывающих по обоим фронтам тактового сигнала (ДЕТ - триггеры);
- применение нескольких ФАПЧ на кристалле;
- уменьшение логического уровня тактового сигнала.

Применение нескольких ФАП позволяет снизить частоту тактового сигнала при распространении его от источника до функционального блока. Ограничением на использование ФАПЧ является увеличение занимаемой СБИС на кристалле площади и влияние джиттера на привязку фронта исходного тактового сигнала к фронту сигнала на выходах ФАПЧ, что в ряде случаев может привести к нарушению работоспособности СБИС.

Тем не менее, использование нескольких ФАПЧ является перспективным методом снижения энергопотребления наноразмерных СБИС СнК.

Снижение логического уровня тактового сигнала приводит к снижению энергопотребления за счет уменьшения напряжения переключения узлов ДРСТ. Однако, исследования показали, что ДРСТ с пониженным логическим уровнем непригодно для использования в высокопроизводительных СБИС по следующим причинам:

- более выраженная зависимость характеристик буферных каскадов от температуры и помех по цепи питания;
- увеличение площади, занимаемой тактовыми цепями (более 20 %);
- худшее быстродействие, чем у тактовых цепей со стандартным уровнем логического сигнала (на более чем 20%).

Применение DET-триггеров позволяет снизить частоту передаваемого тактового сигнала в два раза без потери в производительности. Однако, известные схемотехнические решения DET-триггеров значительно уступают по своим электрическим характеристикам стандартным триггерам, в частности, по величинам входных емкостей и емкостей внутренних узлов. В результате применения таких триггеров значительно возрастает потребляемая мощность регистровых элементов функциональных блоков, что нивелирует в общем энергопотреблении СБИС снижение потребляемой мощности ДРТС. Автором разработано схемотехническое решение D-DET-триггера, не уступающего по своим характеристикам стандартным Master-Slave триггерам, использование которого позволило на 30-40% снизить энергопотребление тестового ДРСТ.

Сложнофункциональный блок представляет собой совокупность трактов распространения сигналов от входов до выходов. Тракты делятся на два типа: критические, и не критические. Критический тракт - тракт, обладающий максимальным коэффициентом нагрузки и, как следствие, худшим предельным быстродействием.

Основными методами снижения энергопотребления критических трактов являются методы, заложенные в средства САПР, и применяемые на этапах логического синтеза принципиальной схемы СФ-блока:

- изменение размеров элементов (Gate Sizing);
- подбор элементов, реализующих требуемую логическую функцию с минимальным энергопотреблением при заданном быстродействии;
- переподключение входов логических элементов (Pin swapping);
- объединение элементов (Pin merging);
- оптимизация фронтов сигналов (Slew optimization);
- перестроение логических цепей (снижение ложных срабатываний).

В основе этих методов лежит использование логических элементов стандартной библиотеки элементов. Проведенный анализ показал, что для эффективного применения методов САПР, элементы библиотеки должны удовлетворять следующим требованиям:

1. Элементы (за исключением буферных элементов и элементов “НЕ”) должны быть представлены в диапазоне типоразмеров D1...D3.
2. Входы элементов должны обладать минимальной емкостью.
3. Для одной и той же логической функции элементы должны быть представлены в следующих реализациях: пониженное энергопотребление; пониженное энергопотребление - высокое быстродействие; высокое быстродействие.
4. Элементы должны занимать минимальную площадь на кристалле.
5. В функциональный состав библиотеки должны входить составные логические элементы, такие как многовходовые элементы: И-ИЛИ-И-НЕ, И-ИЛИ-НЕ, 2И-ИЛИ-НЕ, 3И-ИЛИ-НЕ, ИЛИ-И-НЕ, 2ИЛИ-И-НЕ.

Использование каскадов на проходных транзисторах позволяет уменьшить число транзисторов, необходимых для реализации логической функции. Однако их применение ограничено правилами характеристики библиотечных элементов и синтеза САПР. В работе рассмотрены способы преодоления этих недостатков и даны рекомендации по применению каскадов на проходных транзисторах в библиотечных элементах.

Автором, на основе разработанного метода оптимизации логических цепей и сформулированных требований и рекомендаций, оптимизированы по энергопотреблению схемотехнические решения следующих элементов стандартной библиотеки: полу- и полного одноразрядного сумматора, мультиплексоров, триггеров, элемента “Исключающее-ИЛИ”. Применение каскадов на двунаправленных ключах в данных элементах позволило, при сохранении быстродействия, снизить энергопотребление по сравнению с ранее известными схемотехническими решениями, что позволяет использовать разработанные элементы для снижения энергопотребления критических трактов.

Для схем умножителей и многоразрядных сумматоров разработаны элементы полных одноразрядных сумматоров (ПОС) с чередованием переносов (рис.1). За счет уменьшения числа каскадов в тракте формирования переноса быстродействие таких сумматоров на 10-15 % выше, а энергопотребление на 5-10% ниже стандартного.

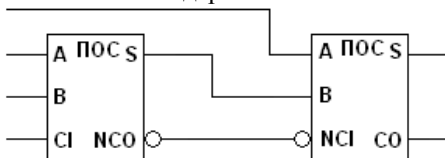


Рис.1. Цепь сумматоров с чередованием переноса

В диссертации показано, что при использовании логических элементов число транзисторов, необходимых для реализации логической функции не минимально. Автором предложена методика минимизации мощности критических трактов, основанная на применении заказных функциональ-

ных блоков в СФ-блоках цифровых СБИС. Суть методики (рис.2) заключается в выделении функционально законченных блоков критических и некритических трактов и реализация их в заказном виде с использованием разработанного метода оптимизации логических цепей. Дальнейшая интеграция разработанных блоков в проект осуществляется в автоматическом режиме. Использование данной методики за счет минимизации числа транзисторов и оптимизации их размеров позволяет не только снизить энергопотребление, но и в ряде случаев повысить быстродействие, а также создать библиотеку функциональных блоков, пригодную для повторного использования при проектировании СФ-блоков СБИС СнК.

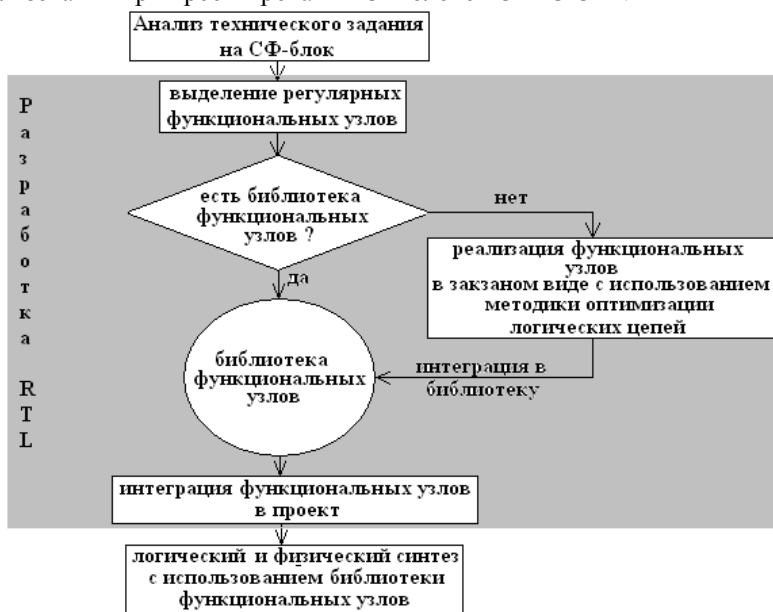


Рис.2. Методика выделения функциональных узлов

Предложенная методика и библиотека, включающая разработанные малопотребляющие быстродействующие элементы, использована на логическом и схемотехническом этапах маршрута проектирования цифровых СФ-блоков микропроцессора «Мультикор», что позволило на 5-15% снизить их динамическое энергопотребление.

**Третья глава** посвящена рассмотрению вопросов снижения энергопотребления СФ-блоков СБИС ОЗУ, выполненных по проектным нормам 250-90 нм.

СФ-блок СОЗУ включает в себя накопитель (НК), устройство формирования адреса (УФА), устройство управления и устройство ввода-вывода (УВВ) данных. Одним из основных электрических параметров ОЗУ является быстродействие. Анализ современных разработок показал,

что для повышения быстродействия широко применяются следующие методы:

- секционирование накопителя;
- ограничение перепадов напряжения на разрядных шинах при считывании;
- использование многоступенчатых дешифраторов адреса.

В работе показано, что эти методы также эффективно снижают энергопотребление ОЗУ.

Ограничение перепадов на разрядных шинах осуществляется за счет использования усилителей считываний и принципа импульсной словарной шины. Анализ показал, что применение данного метода не только снижает динамическую мощность, но и уменьшает величину пиковых токов в режиме восстановления напряжения на разрядных шинах (более чем на 50 %).

Принцип “импульсной словарной шины” заключается в активизации адресной шины лишь на время, достаточное для надежной записи и чтения информации. Это позволяет уменьшить мощность, обусловленную протеканием тока через транзисторы связи ячеек памяти (ЯП), подключенных к выбранной словарной шине, за счет уменьшения времени протекания этого тока. Реализация данного принципа делает возможным использование вышеописанного метода ограничения перепада напряжения на разрядных шинах.

Секционирование накопителя осуществляется: по строкам, по столбцам, по строкам и столбцам одновременно. Для определения способа секционирования и оптимальной структуры секции накопителя, исходя из требований по энергопотреблению и быстродействию, разработана методика, которая, в отличие от известных, позволяет оценить энергопотребление секции ОЗУ при заданной информационной емкости и разрядности.

Суть методики заключается в следующем.

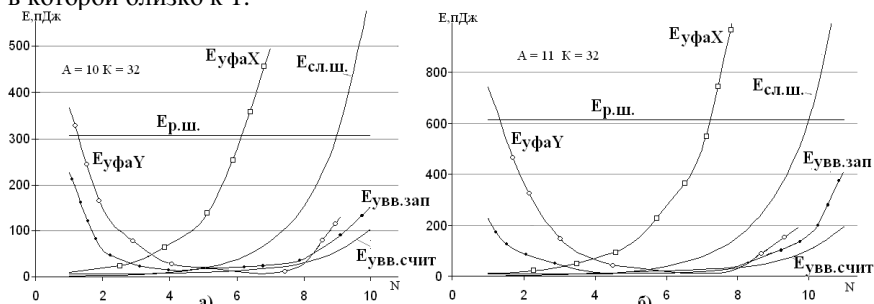
1. На основании структурных параметров ОЗУ для различных способов секционирования предварительно определяется возможное число и информационная емкость секций накопителя.
2. Исходя из информационной емкости секции на основании разработанной макромоделли ОЗУ, учитывающей:
  - разрядность адреса выбора строки секции накопителя  $M$ ;
  - разрядность адреса выбора столбцов секции накопителя  $N$ ;
  - разрядность слова данных  $K$ ;
  - общая разрядность адреса секции  $A = M+N$ ;
  - число столбцов в накопителе,  $N_{ст} = K \times 2^N$ ;
  - число строк в накопителе  $N_{сл.ш} = 2^M$ ;
  - информационная емкость секции  $L = N_{сл.ш} \times N_{ст}$ ;
  - отношение емкости словарной шины к емкости разрядной шины в ЯП;

- энергетических характеристик логических элементов, определяется оптимальное с точки зрения быстродействия и энергопотребления число столбцов и строк накопителя.

- Исходя из полученных данных, определяется оптимальный для данной информационной емкости ОЗУ способ секционирования, а так же число столбцов и строк в секции.

Получены зависимости максимальной энергии переключения и быстродействия внутренних блоков ОЗУ от разрядности адреса выборки столбцов в накопителе при фиксированной информационной емкости и заданном для технологии 250-90нм соотношении емкостей ЯП для различных значений А и К. Из анализа энергетических зависимостей, пример которых представлен на рис.3, сделан вывод, что  $E_{\text{ОЗУ}}$  (энергия, затрачиваемая источником питания при обращении к ОЗУ) имеет пологий минимум в районе значений  $N_{\text{опт.Р}}$ , соответствующих конфигурации накопителя с соотношением  $N_{\text{ст}}/N_{\text{сл.ш}} = 2$ . Оптимальная разрядность адреса выборки столбцов секции накопителя определяется выражением  $N_{\text{опт.Р}} = (A + 1 - \log_2 K)/2$ . При этом существует окрестность  $V=[N_1 \dots N_2]$  точки  $N_{\text{опт.Р}}$ , для любых значений N из V энергопотреблением УВВ, УФА по координате X, УФА по координате Y можно пренебречь по сравнению с энергопотреблением, связанным с перезарядом разрядных шин накопителя. Секция ОЗУ обладает минимальным энергопотреблением, если  $N_{\text{ст.опт.Р}} = K \times 2^{N_{\text{опт.Р}}}$ .

Из анализа временных зависимостей, пример которых приведен на рис.4, сделан вывод, что секция ОЗУ обладает максимальным быстродействием, если отношение столбцов и строк в накопителе лежит в некоторой окрестности точки  $N_{\text{опт.б}} = (A - \log_2 K)/2$ , т.е. отношение столбцов и строк в которой близко к 1.



**Рис.3. Зависимости максимальной энергии переключения составных блоков СОЗУ от числа столбцов в накопителе при фиксированной информационной емкости для  $A=10, K=32$  (а) и  $A=11, K=32$  (б)**

В результате расчетов быстродействия и энергопотребления показано, что секция накопителя будет обладать максимальным быстродействием и минимальным энергопотреблением, если отношение столбцов и строк в

ней ( $N_{ст}/N_{сл.ш} = M_{нк}$ ) лежит в некоторой окрестности  $\Theta=[0,5...2]$  точки  $M_{нк,опт} = 1$  (рис.5).

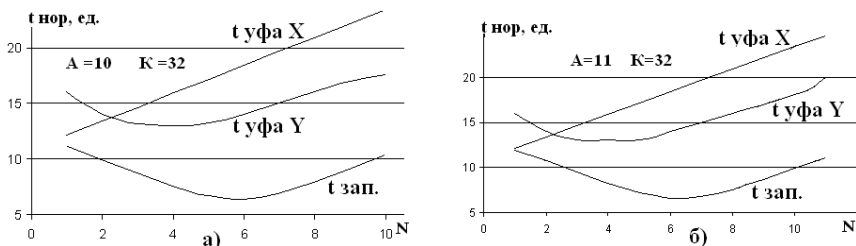


Рис.4. Зависимости задержек критических трактов СОЗУ от числа столбцов в накопителе для  $A=10, K=32$  (а) и  $A=11, K=32$  (б)

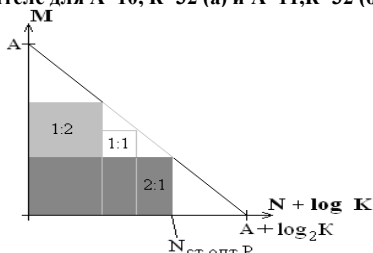


Рис.5 Оптимальные размеры накопителя

Показано, что при секционировании накопителя по строкам или столбцам на две секции, для которых  $M_{нк}$  принадлежит  $\Theta$ , динамическое энергопотребление ОЗУ определяется перезарядом разрядных шин. При этом предпочтение виду секционирования следует отдавать исходя из требований по быстродействию. Секционирование одновременно по строкам и столбцам, а так же секционирование более чем на 3 секции, из-за необходимости в объединении адресной части и части ввода вывода не имеет преимуществ перед ОЗУ аналогичной информационной емкости, состоящей из отдельных СФ-блоков ОЗУ, объединенных по шинам данных и адреса, поэтому применение таких способов секционирования нецелесообразно.

Проведен анализ структур многоступенчатых дешифраторов адреса, в результате которого показано, что с точки зрения энергопотребления их недостатком является вероятность возникновения ложных переключений словарных шин и шин выборки столбцов. Разработано схемотехническое решение, устраняющее этот недостаток, заключающиеся в разрешении формирования сигнала выборки на словарной шине только после завершения переходного процесса дешифратора адреса.

Анализ методов снижения статической мощности ОЗУ, основанных на:

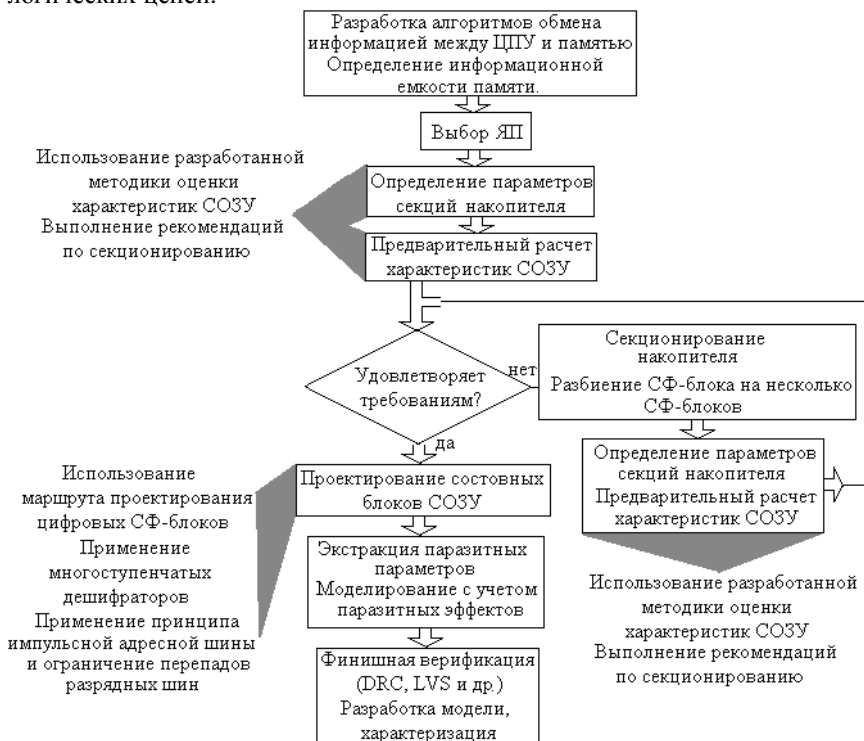
- управлении пороговым напряжением ЯП,



- управлении питанием ЯП,
- применении в плечах триггера ЯП транзисторов с различной толщиной подзатворного окисла,
- использование специальных типов ячеек памяти,

показал, что их использование позволяет на 30-40 % снизить статическое энергопотребление ОЗУ, однако при этом, из-за введения дополнительных элементов в схемотехнику ОЗУ, значительно (на 20-30%) снижается быстродействие. Таким образом, применение этих методов в высокопроизводительных СБИС СнК, выполненных по технологическим нормам 250-90 нм нецелесообразно.

Разработанная методика интегрирована в маршрут проектирования ОЗУ с пониженным энергопотреблением, общая блок-схема которого приведена на рис.6. Основным отличием маршрута от известного является использование методики оценки параметров секций накопителя, что позволяет на логическом этапе проектирования определить структуру ОЗУ с минимальным энергопотреблением при заданной информационной емкости и разрядности. Проектирование внутренних блоков ОЗУ рекомендуется осуществлять с использованием разработанного метода оптимизации логических цепей.



## Рис.6. Маршрут проектирования СОЗУ

**Четвертая глава** посвящена использованию разработанных методик, метода оптимизации логических цепей и разработанных элементов библиотек при проектировании цифровых СФ-блоков и СФ-блоков ОЗУ.

Библиотека логических элементов, включающая разработанные логические элементы, использована при синтезе цифровых блоков сигнального процессора серии «Мультикор» разработки ГУП НПЦ «ЭЛВИС».

Общее число логических элементов, используемых в цифровых СФ-блоках процессора, составило 405 059. Из них число базисных элементов (“И”, “И-НЕ”, “ИЛИ”, “ИЛИ-НЕ”, “НЕ”) и сложных элементов “И-ИЛИ-И-НЕ”, “И-ИЛИ-НЕ”, “2И-ИЛИ-НЕ”, “3И-ИЛИ-НЕ”, “ИЛИ-И-НЕ”, “2ИЛИ-И-НЕ” составляет 284 179 (70 % от общего числа).

В микросхеме использован 6 661 элемент “Исключающее-ИЛИ” различного типа, из которых 622 элемента (10 %), реализованных на каскадах с проходными транзисторами. Анализ схемотехники микроконтроллера, проведенный средствами статического анализа САПР Cadence, показал, что элементы с каскадами на проходных транзисторах использованы в некритических трактах. Это соответствует выводам, сделанным при моделировании разработанных элементов, поскольку реализация элемента “Исключающее-ИЛИ” на проходных транзисторах уступает по быстродействию, но выигрывает по энергопотреблению относительно реализации на КМОП каскадах.

Реализация элемента “Исключающее-ИЛИ-НЕ” на проходных транзисторах имеет преимущество, как по быстродействию, так и по энергопотреблению. Поэтому такой элемент должен быть использован средствами САПР, как в критических, так и некритических трактов. Результат, полученный при синтезе процессора «Мультикор», полностью подтверждает этот вывод. В микросхеме использовано 18 652 элемента “Исключающее-ИЛИ-НЕ” из которых 16 091 (86 %) – на каскадах с проходными транзисторами.

В арифметико-логических блоках сигнального процессора использовано 7025 полных одноразрядных сумматоров. Из этого числа 6521 элемент (92 %) реализован на каскадах с проходными транзисторами.

В последовательных цепях процессора использовано 57 415 триггерных элементов. Из них 39 563 элемента с каскадом на проходных транзисторах (69 %).

Методика минимизации мощности цифровых СФ-блоков, основанная на выделении функциональных узлов и их реализации в заказном виде использована при разработке **СФ-блока фазовой автоподстройки частоты (ФАПЧ)**, предназначенного для генерации диапазона частот 5...600 МГц из сигнала эталонной частоты 4÷6 МГц, по технологии 0,13 мкм. Разработанное ФАПЧ может быть использовано в качестве устройства

синхронизации в микропроцессорах, как отдельно, так и в составе группы ФАПЧ, снижающей энергопотребление ДРТС.

Базовая конфигурация ФАПЧ приведена на рис.8 и содержит:

1. фазочастотный детектор (ФЧД);
2. зарядно-разрядный блок с емкостным фильтром (интегратором) и демпфирующей цепью;
3. генератор частоты, управляемый напряжением (ГУН), с блоком задания режима;
4. выходной формирователь;
5. блок задания режимных токов;
6. делители частоты.

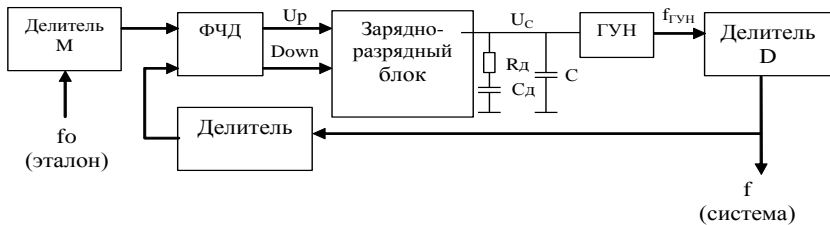


Рис.8. Структурная схема ФАПЧ

Делители частоты и фазочастотный детектор объединены в цифровое ядро ФАПЧ, проектирование которого осуществлялось по разработанному маршруту проектирования цифровых СФ-блоков тремя способами. При проектировании использовался САПР фирмы Cadence версии 6.1 и разработанная библиотека логических элементов, включающая элементы с пониженным энергопотреблением.

Для подтверждения эффективности методики заказных функциональных блоков цифровое ядро ФАПЧ разработано в трех вариантах.

В первом – ядро спроектировано полностью в автоматическом режиме на основании разработанной Verilog модели, описывающей только алгоритмы деления, с использованием методов снижения энергопотребления, заложенных в средства САПР.

Во втором – ядро спроектировано в автоматическом режиме на основании Verilog модели, описывающей алгоритмы деления с применением метода отключения неиспользуемых счетчиков и минимизации их числа.

В третьем – цифровое ядро спроектировано в заказном виде, и снижение энергопотребления достигнуто за счет

- минимизации логической функции;
- отключения неиспользуемых счетчиков;
- уменьшения размеров транзисторов в логических элементах некритических трактов;

– применения каскадов на двунаправленных ключах.

Значения энергопотребления и площади ФАПЧ с различными вариантами цифрового ядра приведены в табл.2, из которой видно, что наилучшими характеристиками обладает ФАПЧ, цифровое ядро, которого выполнено по методу заказных функциональных блоков в ручном режиме проектирования. По основным характеристикам – джиттеру, диапазону генерируемых частот и времени выхода в режим технического заданию удовлетворяют все три варианта ФАПЧ. Для реализации в составе СБИС СнК был выбран вариант 3, энергопотребление которого на 15 % ниже энергопотребления ФАПЧ, цифровая часть которого синтезированного в автоматическом режиме.

Таблица 2

Характеристика ФАПЧ

	Вариант 1	Вариант 2	Вариант 3
Максимальный средний ток потребления, мкА	710	676	605
Средний ток потребления за время выхода в режим максимальной частоты, мкА	580	510	456
Занимаемая площадь, мкм <sup>2</sup>	103250	94350	70225

Маршрут проектирования, включающий разработанную методику расчета оптимального по быстродействию и энергопотреблению соотношения числа строк и столбцов в накопителе СОЗУ, использован при снижении энергопотребления **СФ-блока СОЗУ емкостью 4К\*16 бит** по технологии 0,5 мкм, для которого в качестве элемента памяти была выбрана классическая ЯП 6Т<sub>n</sub> с использованием трех уровней металлизации.

Исходный вариант состоял из одной секции накопителя и обладал энергопотреблением 145 мВт при нормальных условиях и частоте работы 16 МГц.

В соответствии с разработанными рекомендациями, накопитель СОЗУ разделен на две секции. На основании характеристик выбранной ЯП и информационной емкости СОЗУ с помощью разработанной методики был произведен предварительный расчет характеристик СОЗУ и определения параметров секций накопителя. Результаты расчета в виде зависимостей энергий переключения составных блоков СОЗУ от разрядности адреса выборки столбцов приведены на рис.9. Из результатов расчетов видно, что СОЗУ обладает минимальным энергопотреблением, если N = 5 и M = 6, при этом накопитель содержит 64 строки и 512 столбца. Однако такой накопитель не удовлетворяет требованиям ТЗ по быстродействию (из-за значительной протяжности словарных шин). Уменьшение значения N до 4 не приводит к значительному росту энергопотребления, однако накопитель с числом строк = 128 и числом столбцов 256 полностью удовлетворя-

ет требованиям ТЗ по быстродействию. Поэтому СОЗУ реализовано по структурной схеме, приведенной на рис.10, используя секционирование по строкам.

При однократном обращении к СОЗУ в режиме записи или чтения, исходя из произведенных расчетов, ожидается потребление энергии 4,3 нДж, что при частоте работы 16 МГц соответствует потребляемой мощности 68,8 мВт и среднему потребляемому току 13,76 мА, что меньше энергопотребления исходного варианта схемы.

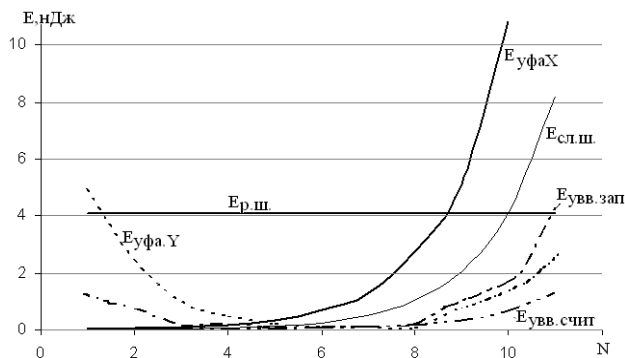


Рис.9. Оценочные зависимости энергий переключения блоков СОЗУ

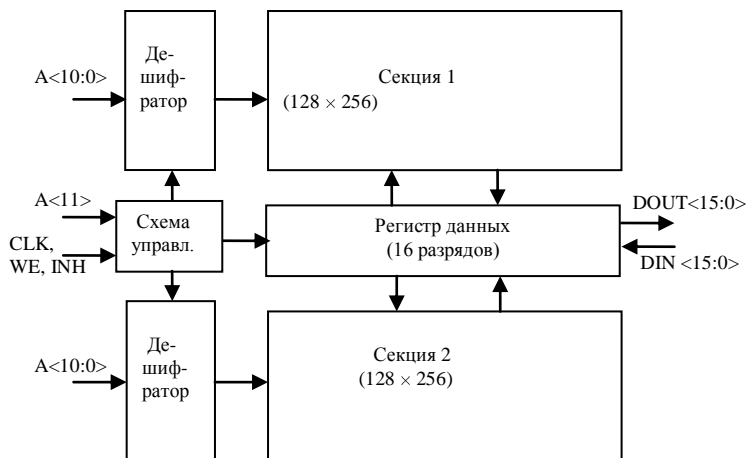


Рис.10. Функциональная схема СФ-блока СОЗУ емкостью 4К\*16 бит

Для снижения энергопотребления при проектировании блоков СОЗУ использованы следующие схемотехнические и топологические решения.

Все столбцы банков накопителя, относящиеся к одному разряду данных, конструктивно расположены рядом, что позволило уменьшить емкость внешних (второго уровня) разрядных шин.

Выходные регистры располагаются между банками накопителя, что позволило минимизировать длину связей между регистрами и внешними разрядными шинами обоих банков.

Дешифратор адреса столбцов и строк накопителя выполнен по схеме многоступенчатого дешифратора с применением внутренних сигналов синхронизации С и NC, исключающих ложные переключения словарных шин и шин выборки столбцов.

Общий вид топологии СФ-блока ОЗУ приведен на рис.11, где видны основные структурные особенности ОЗУ: две секции накопителя (1 и 2), дешифраторы строк (3 и 4), выходной регистр (5) и устройство управления (6). Размер СФ-блока на кристалле:  $2,790\text{мм} \times 2,665\text{ мм} \approx 7,44\text{ мм}^2$ , что 7 % больше исходного.

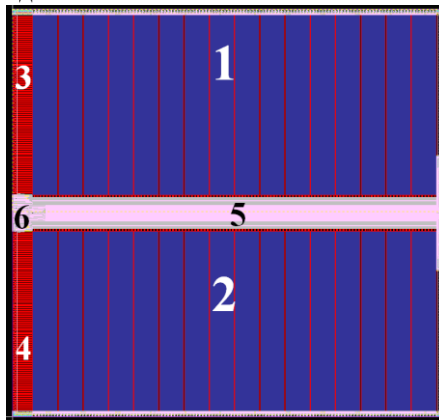


Рис. 11. Общий вид топологии СФ-блока ОЗУ

При нулевых нагрузочных емкостях и частоте 16МГц средняя потребляемая мощность при нормальных условиях равна 56 мВт (средний ток 11,2 мА), и максимальна при  $V_{dd}=5,5\text{В}$ ,  $T=-60^{\circ}\text{C}$ , составляя величину 69 мВт (средний ток 12,6 мА). В режиме чтения происходит дополнительное увеличение потребляемой мощности из-за перезаряда нагрузочных емкостей. Увеличение нагрузки на 1пФ на каждом выходе приводит к увеличению средней потребляемой мощности в худшем случае (при одновременном переключении всех выходов в противоположное состояние) на 6,4 мВт при  $V_{dd}=5\text{В}$  и на величину 7,8 мВт при  $V_{dd}=5,5\text{В}$ .

Экспериментальные данные по энергопотреблению, полученные при исследовании тестовых кристаллов СБИС, меньше расчетных, поскольку использованные схемотехнические и топологические решения не учитываются в разработанной модели. Предварительный расчет позволил на

этапе логического проектирования определить структуру СОЗУ и сократить время разработки. В результате разработанное СОЗУ обладает на 61 % меньшим энергопотреблением, чем исходный вариант схемы.

Маршрут проектирования ОЗУ был так же использован при разработке схем памяти процессоров семейства «Мультикор» ГУП НПЦ «ЭЛВИС»

Таким образом, на основании характеристик разработанных СФ-блоков показано, что использование разработанных методов и методик позволяет проектировать быстродействующие СФ-блоки с низким энергопотреблением. То есть задача, поставленная перед автором, выполнена.

### Заключение

Основной результат диссертации заключается в развитии теории и разработке методик проектирования быстродействующих малопотребляющих цифровых СФ-блоков и их интеграция в маршрут проектирования КМОП СБИС СнК, основанный на применении современных САПР, для перспективной отечественной технологической базы уровня 250-90 нм.

### Основной теоретический результат

Разработан метод оптимизации логических цепей по критерию достижения минимального энергопотребления при заданном быстродействии и на его основе разработана методика минимизации мощности цифровых СФ-блоков, основанная на выделении функциональных узлов для их реализации в заказном виде.

### Частные теоретические результаты

1. Показано, что для логической цепи, оптимизированной по быстродействию и потребляемой мощности доля динамической мощности, связанная с протеканием сквозных токов при переключении элементов не превышает 10%.
2. Определены оптимальное число каскадов и коэффициенты нагрузки в узлах логической цепи, при которых логическая цепь обладает минимальным динамическим энергопотреблением при заданном или максимальном быстродействии.
3. Разработана методика расчета оптимального с точки зрения быстродействия и энергопотребления соотношения числа строк и столбцов в накопителе, позволяющая на логическом этапе проектирования определить структуру ОЗУ, обладающую при заданном быстродействии минимальным динамическим энергопотреблением.
4. Сформулированы требования, предъявляемые к элементам стандартной библиотеки логических элементов, ориентированной на проектирование цифровых СФ-блоков и СБИС СнК с пониженным энергопотреблением.

5. Показано, что секция накопителя ОЗУ обладает максимальным быстродействием и минимальным энергопотреблением, если отношение числа столбцов и строк в ней лежит в некоторой окрестности  $[0,5...2]$  точки 1.

#### Основной практический результат

Использование маршрута проектирования, включающего разработанные методы и методики, а также библиотеку, содержащую разработанные элементы, позволило для сигнального процессора серии “Мультикор” разработки ГУП НПЦ “ЭЛВИС” снизить энергопотребление СФ-блоков ФАПЧ на 15%, СФ-блоков ОЗУ и арифметических блоков на 5-15% по сравнению с их исходными вариантами. Результат подтвержден актом о внедрении.

Использование методики расчета оптимального числа столбцов и строк в накопителе и метода оптимизации логических цепей позволили более чем на 50 % снизить энергопотребление СФ-блока СОЗУ 4К×16 бит в составе СБИС ММК-Р разработки ЗАО НТЦ «Модуль», что подтверждено актом о внедрении.

#### Частные практические результаты

1. Разработаны элементы стандартной библиотеки, в которых применены каскады на двунаправленных ключах, что при сохранении быстродействия позволило на 10-20% снизить энергопотребление по сравнению аналогичными элементами, выполненными на стандартных КМОП каскадах.
2. Для схем умножителей и многоуровневых сумматоров разработаны элементы полных одноразрядных сумматоров с чередованием переносов. За счет отсутствия одного каскада в тракте формирования переноса быстродействие таких сумматоров на 10-15 % выше, а энергопотребление на 5-10% ниже, чем у аналогов.
3. Разработано конструктивно-схемотехническое решение D-триггера, срабатывающего по обоим фронтам тактового сигнала и предназначенного для снижения энергопотребления цепей распространения тактового сигнала.
4. Создана специализированная библиотека функциональных узлов, позволяющая проектировать СФ-блоки ФАПЧ с различным диапазоном генерируемых частот в пределах 0...600 МГц.

#### Список работ, опубликованных по теме диссертации

1. Гармаш А.А. Методы энергетической оптимизации быстродействующих цифровых КМОП СБИС // Электроника микро- и нанoeлектроника . Сб. науч. трудов. –М: МИФИ, 2004. –С.221-225.



2. Гармаш А.А. Снижение энергопотребления КМОП логических цепей // Научная сессия МИФИ -2005. Сб. науч. трудов Т1. Автоматика. Микроэлектроника. Электроника. Измерительные системы. –М.: МИФИ, 2004. –С.177-178.
3. Гармаш А.А. Оценка максимальной динамической мощности КМОП СОЗУ // Электроника микро- и нанoeлектроника . Сб. науч. трудов. – М: МИФИ, 2005. –С.140-142.
4. Байков В.Д., Гармаш А.А., Самонов А.А., Севрюков А.Н. /Проектирование СФ-блоков ФАПЧ для систем синхронизации интегральных устройств обработки информации // "Проблемы разработки перспективных микроэлектронных систем - 2005" Сб. науч. трудов М.: ИППМ РАН - 2005. - С. 366-372.
5. Гармаш А.А. Анализ полных одноразрядных сумматоров для высокопроизводительных КМОП СБИС // Электроника микро- и нанoeлектроника. Сб. науч. трудов. –М: МИФИ, 2006. –С.57-60.
6. Гармаш А.А.. Характеризация элементов стандартной цифровой библиотеки по мощности // Научная сессия МИФИ-2007. Сб. науч. трудов Т.1. –М.:МИФИ, 2007. – С.143.
7. Гармаш А.А. D-триггер, срабатывающий по фронту и срезу тактового сигнала // Электроника микро- и нанoeлектроника . Сб. науч. трудов. – М: МИФИ, 2008. –С.81-84.
8. Гармаш А.А. Энергетическая оптимизация логических цепей, разрабатываемых по проектным нормам 250-90нм // Естественные и технические науки, №6, 2009, -С. 507-509.
9. Гармаш А.А. Использование библиотеки функциональных узлов для снижения энергопотребления цифровых СФ-блоков // Науч. сессия МИФИ-2010. Аннотация докладов.Т.1. Ядерная физика и энергетика. М.:МИФИ, 2010, -С.153.