

На правах рукописи

**РОДИОНОВ АНДРЕЙ АНДРЕЕВИЧ**

**КОНТРОЛЛЕРНЫЕ СЛОЖНО-ФУНКЦИОНАЛЬНЫЕ БЛОКИ  
И ИХ ПРИМЕНЕНИЕ В СОСТАВЕ СБИС КЛАССА  
«СИСТЕМА-НА-КРИСТАЛЛЕ»**

05.13.05 – Элементы и устройства вычислительной техники и  
систем управления

**АВТОРЕФЕРАТ**  
диссертации на соискание ученой степени  
кандидата технических наук

Автор:



Москва – 2010 г.

Диссертация выполнена на кафедре микро- и нанoeлектроники  
Национального исследовательского ядерного университета «МИФИ»

Научный руководитель: доктор технических наук, профессор  
Шагурин Игорь Иванович,  
НИЯУ МИФИ, г. Москва

Официальные оппоненты: доктор технических наук, профессор  
Адамов Юрий Федорович  
ИППМ РАН, г. Зеленоград

кандидат технических наук  
Иванов Юрий Павлович  
НИИ «Квант», г. Москва

Ведущая организация: ФГУП НИИМА «Прогресс», г. Москва

Защита состоится 22 ноября 2010 г. в 14:00 в конференц-зале К-608  
на заседании диссертационного совета Д 212.130.02 НИЯУ МИФИ  
по адресу 115409, г. Москва, Каширское ш., д. 31.

С диссертацией можно ознакомиться в библиотеке НИЯУ МИФИ.

Автореферат разослан «\_\_\_» октября 2010 г.

Просим принять участие в работе совета или прислать отзыв в одном  
экземпляре, заверенный печатью организации, по адресу НИЯУ МИФИ.

Ученый секретарь  
диссертационного совета  
НИЯУ МИФИ, д.т.н.,  
профессор



Скоробогатов П. К.

## ОБЩАЯ ХАРАКТЕРИСТИКА ДИССЕРТАЦИИ

### Актуальность темы

Быстро растущая сложность интегральных микросхем влечет за собой значительное повышение времени выполнения и стоимости работ на этапах проектирования и производства опытных образцов. Решением данной проблемы стало внедрение системного подхода в разработку СБИС, состоящих из множества сложных узлов, получившего название СнК-проектирование.

СнК (система-на-кристалле) – это функционально законченная и специализированная для применения в конкретной аппаратуре СБИС, изготавливаемая по субмикронной технологии, проектируемая на основе сквозного САПР от аппаратуры к СБИС с использованием готовых цифровых и аналого-цифровых сложно-функциональных блоков (СФ-блоков), включающая в обязательном порядке процессорные блоки, блоки памяти, а также интерфейсные узлы и цифровые блоки с «жесткой логикой».

Применение СнК экономически обосновано, когда необходимо получить более высокие технические показатели (производительность, энергопотребление, массогабаритные характеристики) или более низкую стоимость при крупносерийном выпуске.

В связи с повышением процента СнК-проектов в общей массе новых СБИС появился отдельный большой рынок сложнофункциональных (СФ) блоков (IP-блоков, Intellectual property), использование которых позволяет ускорить процесс проектирования, обеспечить возможность верификации проекта на более ранних стадиях разработки и снизить проектные риски.

Функционирование СнК невозможно без обеспечения управления и координации действия отдельных узлов, входящих в состав системы. Для решения этой задачи используются различные блоки - от конечных автоматов до высокопроизводительных 64-разрядных процессорных ядер. Во многих проектах достаточно 8-разрядных блоков, однако имеющиеся проекты либо дороги, либо находятся в свободном доступе, но требуют серьезных трудозатрат для их освоения, доработки, верификации и не обеспечены поддержкой. Поэтому создание СФ-блоков, доступных отечественным разработчикам, поддержанных средствами проектирования и отладки, является актуальной современной задачей.

Диссертационная работа посвящена созданию контроллерных СФ-блоков для решения задач, поставленных целевыми программами Правительства РФ ("Национальная технологическая база на 2007 - 2011 годы" и "Развитие электронной компонентной базы и радиоэлектроники" на 2008 - 2015 годы"). В частности решалась актуальная задача реализации функций управления в базовых блоках СнК декодирования ЦТВ для федераль-

ной программы внедрения цифрового телевидения на территории России к 2015 году.

Диссертация подготовлена в рамках работ по госконтракту №П2424 «Разработка сложно-функциональных микроэлектронных блоков для СБИС класса "Систем на кристалле" и методов их тестирования для определения радиационной стойкости к ионизирующим излучениям», выполняющихся в соответствии Федеральной целевой программы «Научные и научно-педагогические кадры инновационной России» на 2009-2013 годы.

**Цель диссертационной работы** – создание универсальных контроллерных СФ-блоков для расширения номенклатуры компонентной базы и развития технологии проектирования СнК.

Основные задачи диссертации:

1. Разработка методики проектирования контроллерных СФ-блоков, обеспечивающих программную совместимость с популярной архитектурой микроконтроллеров.
2. Проектирование HDL-моделей контроллерных СФ-блоков.
3. Разработка параметризованного варианта модели и системы интерактивной настройки, оценка эффективности её применения.
4. Разработка маршрута проектирования СнК на базе созданных контроллерных СФ-блоков.
5. Обеспечение аппаратно-программной поддержки основных интерфейсов и стандартных средств внутрисхемного программирования.
6. Разработка и реализация технологии функциональной верификации процессорных блоков.
7. Аппаратная реализация полученных моделей в виде ПЛИС и СБИС, их функциональный контроль и оценка параметров.

#### **Научная новизна диссертации:**

1. Методика проектирования контроллерных СФ-блоков с архитектурой и системой команд перспективных семейств микроконтроллеров для использования в качестве управляющей части СБИС цифровой обработки данных. Эффективность достижения полной программной совместимости с прототипом повышается благодаря использованию предложенного метода маршрутизации выполнения групп команд на основе базовой функциональной модели основных семейств микроконтроллеров.
2. Способ настройки СФ-блоков для конкретного применения путём сокращения набора реализуемых команд, что позволяет снизить требования к ресурсам и повысить максимальную тактовую частоту контроллера. Способ учитывает особенности архитектуры AVR и группы связанных инструкций. Конфигурирование позволяет снизить площадь

- ядра и потребляемую мощность, повысить максимальную тактовую частоту.
3. Методика верификации разработанных управляющих блоков, действующая на всех этапах проекта: при программном моделировании, создании прототипа на базе ПЛИС и реализации конечной заказной СБИС. Методика учитывает реальный набор используемых инструкций. Разработано программное обеспечение под MS Windows реализующее функциональный контроль под управлением ПК.
  4. Универсальный способ адаптации СФ-блока к стандартным средствам программирования микроконтроллеров на базе программной эмуляции интерфейсов и протоколов. Разработаны Soft (синтезируемые аппаратно) и Software (программное обеспечение для ядра) модули для реализации интерфейсов и протоколов обмена, а также способ их отладки на базе ПЛИС.

### **Практическая значимость:**

1. Разработаны и верифицированы универсальные контроллерные СФ-блоки, которые программно совместимы с широко применяемыми микроконтроллерами (МК) семейств Mega103 и Mega128 компании Atmel. Такие модели отсутствовали во время начала работ по реализации проектов СБИС. Их применение дает возможность создавать высокоэффективные системы цифровой обработки информации, а также модернизировать существующие дискретные системы, обеспечивая повышение их технических характеристик при реализации в виде СБИС СнК.
2. Предложена методика проектирования СФ-блоков, позволяющая создавать контроллерные модули, программно совместимые с популярными микроконтроллерами, путем коррекции базовой функциональной модели и базовых маршрутов функционирования для основных групп команд. Таким образом, обеспечивается возможность использования существующих систем разработки и отладки программного обеспечения для таких контроллерных СФ-блоков.
3. Предложена методика верификации, которая позволяет проверить корректность функционирования процессорного ядра на всех стадиях проектирования и реализации проекта в виде ПЛИС или СБИС путём генерации тестовых векторов и их сравнения с эталонными значениями. Разработанное программное обеспечение для СФ-блоков и ПК позволяет проводить запрос, чтение и анализ тестовых векторов под управлением ПК.

### **Внедрение результатов диссертации:**

1. Проведена аппаратная реализация модели СФ-блока «Mega103» в виде отдельной СБИС, предназначенной для модернизации существовавших

шей системы обработки видеоизображения с неохлаждаемой болометрической фоточувствительной матрицы. Реализовано управление блоком цифровой обработки, обслуживание интерфейсной части устройства (клавиатуры, обмена с ПК), формирование управляющих напряжений матрицы через модули ЦАП, управление шторкой закрытия объектива. Работа проводилась в рамках ОКР «Кристалл», выполнявшейся ЗАО «ЦНИИ «Циклон» совместно с ЗАО «Ангстрем-СБИС».

2. Модель СФ-блока «Mega128» использована для проектирования СнК декодера для цифрового телевидения (ЦТВ). Проект реализован аппаратно в виде СБИС и прошел полную верификацию. Структура блока дополнена модулем I<sup>2</sup>C, что служит примером встраивания функциональных блоков пользователя в систему. Процессорное ядро после загрузки программного обеспечения в ОЗУ программ по шине I<sup>2</sup>C из внешнего источника выполняет инициализацию логики декодирования, управление процессом обработки радиосигнала, а также программную подстройку частоты и связь с ПК. Работа проводилась в рамках НИР «Разработка управляющего контроллера для системы на кристалле, реализующей функции декодера-демодулятора ЦТВ стандарта DVB-T» совместно с НИИ «Прогресс».

#### **Основные положения, выносимые на защиту:**

1. Методика проектирования синтезируемых моделей контроллерных СФ-блоков для управления СБИС цифровой обработки сигналов, которая обеспечивает программную совместимость с 8-разрядными RISC микроконтроллерами популярных семейств.
2. Способ адаптации моделей контроллерных СФ-блоков путём настройки набора выполняемых команд и периферийных блоков в соответствии с конкретными практическими задачами создаваемой системы, методика проектирования СнК на основе этих моделей.
3. Методика верификации разработанных управляющих блоков при моделировании на языке HDL и реализации в виде ПЛИС и СБИС. Способ функционального контроля СБИС с применением ПЛИС в качестве логического анализатора.
4. Верифицированные RTL-модели 8-разрядных контроллерных СФ-блоков с архитектурой микроконтроллеров семейств ATmega103 и ATmega128. Результаты испытаний ПЛИС-прототипов и образцов СБИС разработанных контроллерных СФ-блоков, которые подтверждают эффективность их использования в составе СнК. Программы самотестирования и внутрисхемного программирования, стенд функционального контроля образцов СБИС, testbench для верификации RTL-моделей. Программы-конвертеры, программы интерактивной настройки модели, программы проведения испытаний для ПК.

## **Апробация результатов работы**

Основные результаты, представленные в диссертации, докладывались и обсуждались на трех «Научных сессиях МИФИ» (2006, 2007 и 2008 гг.), на двух конференциях «Проблемы разработки перспективных микро и нанoeлектронных систем» (2006 и 2008 гг.). Результаты диссертационной работы использованы при разработке СнК декодера-демодулятора ЦТВ в ФГУП НИИМА «Прогресс» (имеется Акт о внедрении).

## **Публикации**

Основные положения и результаты диссертации опубликованы в 9 печатных работах, включая 1 статью в журнале рекомендуемом ВАК, 2 статьи в научно-технических журналах и 6 докладов на научно-технических конференциях (Научная сессия МИФИ-2006, 2007, 2008; Международная научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2006, 2008»).

## **Структура и объем работы**

Диссертация состоит из введения, четырёх глав, заключения, списка цитируемой литературы и трёх приложений. Общий объем диссертации составляет 183 страницы, включая 78 рисунков, 35 таблиц и 113 библиографических ссылок.

## СОДЕРЖАНИЕ ДИССЕРТАЦИИ

### **Введение**

Во введении показана актуальность диссертационной работы, поставлены цели и задачи исследований, рассмотрена новизна и практическая значимость, изложены основные положения, выносимые на защиту.

### **Глава 1. СнК – современное состояние, проблемы и перспективы**

В разработке СБИС класса «система-на-кристалле» выделяется «системный» уровень проектирования, основанный на использовании библиотек готовых функционально законченных СФ-блоков (IP-модулей). СФ-блоки можно разделить на две большие группы: Software (синтезируемые) и Hardware (аппаратно реализованные в виде топологии).

Для эффективного использования в процессе проектирования СнК СФ-блоки должны:

- быть пригодными для моделирования и синтеза различными САПР;
- легко реконфигурироваться и объединяться;
- обеспечивать функциональную верификацию при реализации в виде СБИС и ПЛИС;
- поддерживать эффективную технологию разработки и отладки прикладного программного обеспечения (ПО).

Рассматриваются преимущества и недостатки трёх вариантов реализации систем: система на плате, система на кристалле, система на ПЛИС. Сделан вывод о том, что СнК в виде СБИС и ПЛИС будут дополнять «системы на плате» и конкурировать с ними. При этом в СнК в качестве микропроцессоров и микроконтроллеров будут использоваться различные варианты процессорных СФ-блоков.

В общем виде типовая структура СнК представлена на рисунке 1. Система на кристалле может включать как цифровые, так и аналоговые блоки. Основным цифровым блоком обычно является процессор, выполняющий программную обработку цифровых данных. Микропроцессоры или микросхемы, в состав которых входит процессорное ядро, составляют 70% всего рынка микросхем СБИС. Специализированные блоки обработки обеспечивают аппаратное выполнение специфических функций.



**Рис. 1. Типовая структура СнК**

Описаны стандартный маршрут проектирования СнК, платформенный подход, а также вопросы программно-аппаратной со-верификации. К одной из главных задач диссертации следует отнести разработку эффективных методов и средств верификации, а также методики их применения на этапах HDL-моделирования и испытания аппаратных прототипов.

**Таблица 1. Сравнение производительности архитектур PIC и AVR**

Ядро	MIPS/MHz					
	MemCpy64	BubbleSort	Hex2Asc	ShRight	BitBang	Peak
PIC	0.23	0.20	0.23	0.25	0.21	0.25
AVR	0.57	0.62	0.90	0.71	0.61	1

Для реализации большого набора алгоритмов управления малой и средней сложности целесообразно использовать процессоры с RISC-архитектурой, которые занимают небольшую площадь на кристалле и при достаточной производительности потребляют малую мощность. В настоящее время наиболее популярными являются 8-разрядные RISC-микроконтроллеры семейств AVR компании Atmel и PIC компании

Microchip, для которых проведен сравнительный анализ эффективности выполнения различных программ по плотности кода и производительности MIPS/MHz (таблица 1). Отмечается наличие для этих семейств большого набора эффективных средств разработки и отладки программного обеспечения.

Сделан вывод, что микроконтроллеры семейства AVR являются наиболее перспективным прототипом для проектирования контроллерных СФ-блоков с архитектурой и системой команд одного из перспективных семейств микроконтроллеров. Реализация данного подхода имеет ряд преимуществ и возможностей для разработчиков:

- упрощается этап изучения выбранного процессорного модуля при создании новых систем СнК, т.к. требуется лишь изучение особенностей реализации широко известной архитектуры AVR под СнК;
- сокращаются сроки разработки, позволяя обеспечивать конкурентоспособное время выхода на рынок нового продукта;
- упрощается модернизация существующих систем на базе МК AVR за счет реализации в виде СБИС, что позволяет улучшить массогабаритные характеристики, повысить производительность, частично решить проблему импортозамещения электронных компонентов;
- могут применяться мощные средства разработки и отладки ПО для микроконтроллеров AVR (в том числе от Atmel - AVRStudio);
- появляется возможность использования имеющихся наработок и библиотек функций, специализированных библиотек (в том числе написанных на Ассемблере) из арсенала разработчиков;
- возможность использования стандартных периферийных модулей микроконтроллеров Atmel в рамках типового адресного пространства и производить симуляцию непосредственно в вышеупомянутых программах разработки;
- возможность пользоваться стандартными аппаратными средствами программирования МК Atmel (программаторов) непосредственно в среде САПР при добавлении соответствующих аппаратных средств к СФ-блоку.

Приведен обзор существующих контроллерных СФ-блоков (IP-модулей), в том числе свободно распространяемых моделей со структурой AVR ресурса [www.opencores.org](http://www.opencores.org). Сделан вывод о невозможности их прямого применения, в силу ограниченной функциональности, недостаточной верификации и отсутствия средств программирования, адаптации и функционального контроля. Основная масса предлагаемых процессорных модулей относится к группе 32-разрядных. Небольшие 8-разрядные ядра в основном (при рассмотрении лидеров рынка СФ-блоков) проектируются для условий ограниченных ресурсов ПЛИС, проводится их соответствующая оптимизация.

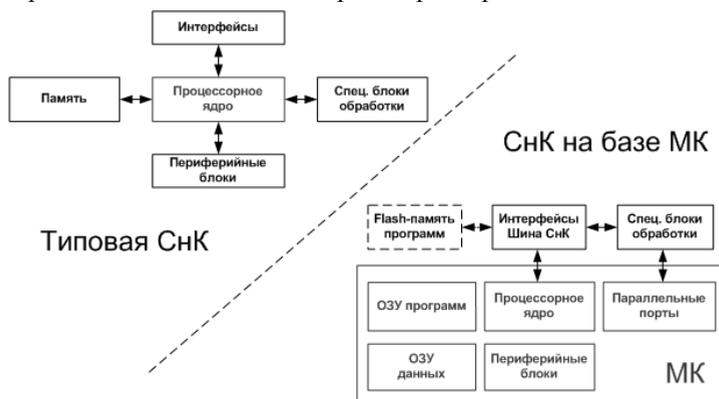
Проанализированы три пути повышения производительности СнК использующих программную реализацию алгоритмов обработки данных:

- оптимизация набора инструкций процессора для конкретного приложения;
- реализация многопроцессорной архитектуры, обеспечивающей эффективные вычисления;
- использование аппаратных вычислительных блоков в качестве «элементной базы» для реализации особо требовательных, независимых, выполняемых параллельно задач (функций).

Диссертационная работа посвящена реализации третьего пути. В приложениях, когда основная часть алгоритма может быть реализована в виде настраиваемого специализированного аппаратного блока, к контроллерному модулю предъявляются ограниченные требования по производительности, не требуется интеграция операционной системы. Это позволяет использовать 8-разрядные процессорные модули RISC архитектуры AVR. На основании проведенного анализа литературных данных сформулированы задачи настоящей работы.

## Глава 2. Проектирование контроллерных СФ-блоков

При проектировании контроллерных СФ-блоков используется два основных подхода – создание специализированного контроллера (в том числе в виде конечного автомата), оптимизированного для выполнения функций в соответствии с заданным алгоритмом управления, или создание универсального контроллера с архитектурой и системой команд одно-го из перспективных семейств микроконтроллеров.



**Рис. 2. Сравнение архитектур СнК и микроконтроллера (МК)**

Фактически, микроконтроллер представляет собой часть СнК, которая включает основные блоки программного управления (процессорное ядро, ОЗУ программ и данных, стандартные периферийные блоки и ин-

терфейсы). Для получения законченной системы остаётся добавить специализированные модули обработки и при необходимости дополнительные интерфейсы (рисунок 2).

Работа контроллера/процессора заключается в последовательной выборке инструкций из памяти программ и их исполнения. Каждая инструкция - это последовательность действий, которые необходимо выполнить для осуществления определенной операции. За каждое действие отвечает определенный функциональный блок (ФБ). Таким образом, структура СФ-блока – это система, состоящая из функциональных блоков, связанных между собой определенным способом (функциональная модель).

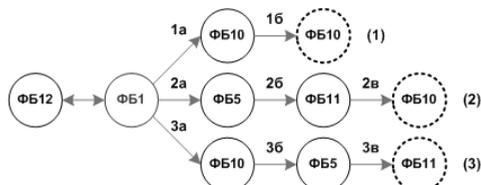


**Рис. 3. Базовая функциональная модель**

Предлагаемая методика проектирования основана на применении структурного синтеза процессорного модуля методом маршрутизации выполнения набора реализуемых команд: разделения набора инструкций на группы команд, формирование функциональной модели и рабочей матрицы связей путем коррекции базовой функциональной модели, представленной на рисунке (Рис. 3), и базовых маршрутов выполнения групп команд.

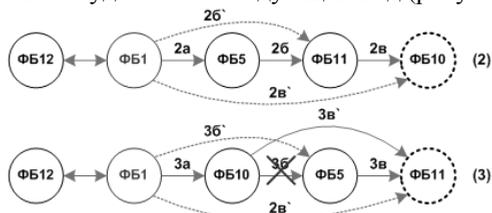
Перечисленные ФБ участвуют в исполнении инструкций, при этом можно выделить общие (базовые) маршруты их взаимодействия для девяти-

ти отдельных групп команд (ГК): пересылки, арифметико-логических операций (включая умножение), операции сдвигов, битовых операций (включая изменение битов в регистре статуса), безусловных переходов, условных переходов (включая организацию циклов), команд вызова подпрограмм, команды прерывания (обслуживания запросов и исключений) и команд управления режимом работы. Пример маршрута для группы команд пересылки данных (ГК1) представлен на рисунке 4.



**Рис. 4. Базовый маршрут реализации команд пересылки данных**

Для разрабатываемого СФ-блока производится коррекция маршрутов по отдельным ГК в соответствии с выбранным набором инструкций. Затем анализируются связи между блоками и формируется РМС, описывающая направление и тип передаваемых данных для каждой пары функциональных блоков участвующих в маршруте. В случае AVR коррекция ветвей маршрута ГК1 будет иметь следующий вид (рисунок 5).



**Рис. 5. Рабочий маршрут реализации команд пересылки для AVR**

В соответствии с предложенным подходом разработан следующий маршрут проектирования контроллерных СФ-блоков:

1. Анализ архитектуры прототипного микроконтроллера, выделение основных функциональных блоков;
2. Структурный синтез процессорного СФ-блока методом маршрутизации выполнения набора реализуемых команд;
3. Выбор набора периферийных устройств;
4. Составление карты памяти;
5. Организация шинной архитектуры;
6. Написание HDL-моделей блоков ядра;
7. Подключение памяти программ и памяти данных, проверка исполнения всех инструкций, создание отдельных тестов и шаблонов просмотра диаграмм для каждой команды;
8. Написание HDL-моделей периферийных модулей, отдельная их вери-

- фикация и верификация в составе СФ-блока;
9. Создание общего теста для проекта с максимальным процентом покрытия кода и использованием всех инструкций процессора.



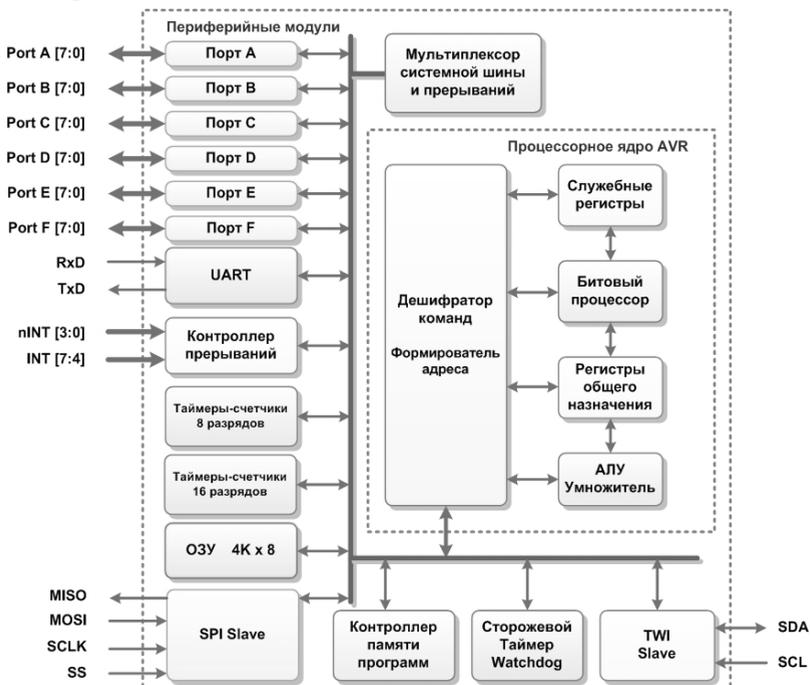
**Рис. 6. Реализация ядра AVR на базе автоматов Мили и Мура**

Для написания HDL-кода контроллерного СФ-блока разработан ряд правил, обеспечивающий переносимость проекта при использовании САПР различных производителей, улучшение временных характеристик и повышение тестопригодности схемы, облегчение работы с проектом другими разработчиками и т.д. Для описания процессорного ядра предлагается использовать синхронную модель автомата Мили, которая будет иметь следующие преимущества:

- управляющие сигналы ядра устанавливаются в соответствии с тактами синхросигнала, а не являются порождёнными текущим состоянием (как в модели Мура). Таким образом, управляющие сигналы формируются быстрее и позволяют ускорить работу процессора;
- блок управления RISC процессорного ядра (с преимущественно одноктактовыми/одноцикловыми инструкциями) имеет небольшое количество состояний, т.к. значение контрольных сигналов фиксируются по тактовому сигналу, а не изменению состояния автомата (сигналы выполнения одноктактовых инструкций выполняются в одном состоянии автомата).

Для выполнения многотактовых инструкций целесообразно использовать частный случай автомата Мура - автономный конечный де-

терминированный автомат с четкой последовательностью состояний (этапов, операций).



**Рис. 7. Структура модели контроллерного СФ-блока "Mega128"**

К таким командам в AVR относятся: возврат из прерывания RETI, безусловные переходы JMP, IJMP, RJMP, вызов подпрограмм RCALL, ICALL, CALL, возврат из подпрограмм RET, команды ветвления BRxx, операции со словами ADIW, SBIW, пропуск инструкций SBRC, SBRS, SBIC, SBIS, CPSE, загрузка данных из памяти программ LPM, обмен с ОЗУ данных STS, LDS, ST, LD, битовые операции SBI, CBI, работа со стеком PUSH, POP. Для архитектуры AVR структура автомата будет иметь вид, показанный на рисунке 6. Таким образом, управляющая часть процессорного ядра представляет собой автомат смешанного типа.

В диссертационной работе разработаны две RTL-модели контроллерных СФ-блоков, программно совместимых с МК архитектуры AVR:

- Mega128 (функциональный аналог МК ATMega128), наиболее полно раскрывающая возможности архитектуры AVR (рисунок 7);
- Mega103 (функциональный аналог МК ATMega103), упрощенная модель процессоров AVR для программ управления, не требующих сложных вычислений (отсутствие команд умножения, словарного перемещения данных, режима пониженного энергопотребления).

### **Глава 3. Параметризованная модель Mega128С, применение контроллерных СФ-блоков и их верификация**

Полная структура модели контроллерного СФ-блока Mega128, представленная на рисунке 7, может оказаться избыточной для конкретного применения, не соответствовать проектным ограничениям по площади или максимальной тактовой частоте, либо требовать существенного расширения состава периферийных блоков. Поэтому была разработана специальная версия модели Mega128С (Customizable), которая даёт возможность пользователю полностью определять набор инструкций и периферийных блоков путём задания параметров в конфигурационном Verilog-файле.

В наборе команд ядра можно выделить два важных для оптимизации типа инструкций:

- связанные между собой инструкции, которые реализуются на базе одного кода операции и используют общие ресурсы;
- функционально зависимые инструкции, которые не могут быть использованы полноценно при удалении других инструкций.

Отключение одной связанной инструкции не приводит к существенному изменению параметров реализации СФ-блока, а максимальный эффект достигается отключением всей связанной группы. Примером функционально зависимой инструкции AVR может служить команда Sleep, которая теряет смысл без инструкций обработки прерывания. «Заснувший» единожды контроллер не сможет выйти из этого состояния, так как выход осуществляется по запросу на прерывание.

**Таблица 2. Реализация оптимизированной структуры Mega128С**

Количество инструкций	Отключенные инструкции	Ресурсы ПЛИС		Максим. частота, МГц
		LUT	FFs	
121	MUL, MULS, MULSU, FMUL, FMULS, FMULSU, PUSH, POP, LDS, STS, MOV, MOVW	1862 (8%)	485 (2%)	66,9
		-33,8 %	-1,4 %	+39,2 %

Для оценки вклада отдельных инструкций в формирование итоговых характеристик на ПЛИС Xilinx Virtex-4 XC4VLX25-10FS363С проведен синтез ядра «Mega128С» с различным набором команд. Показано, что исключением нескольких инструкций в модели «Mega128», которые могут быть замещены комбинацией других команд, достигается увеличение максимальной тактовой частоты на 39% и снижение занимаемой площади на 34%. Параметры такой системы (количество использованных LUT, зашелок FF, оценка максимальной тактовой частоты, в скобках указана доля используемых ресурсов ПЛИС в процентах) представлены в таблице 2.

Для использования разработанных моделей СФ-блоков в проектах СнК разработана методика их применения. Основной момент, опреде-

ляющий эффективность использования, – адаптация моделей к решаемым задачам, которая заключается в определении набора необходимых периферийных блоков и набора инструкций ядра. Периферийные модули могут выбираться из набора стандартных, входящих в модель, подключаться дополнительные модули к системной шине по внутреннему протоколу, а также могут использоваться модули из библиотек СФ-блоков, имеющих интерфейс к стандартным шинам СнК (АМВА и т.д.). Набор команд процессорного ядра может настраиваться двумя способами:

- определяется набор необходимых команд, в соответствии с которым пишется программа на языке Ассемблера, неиспользуемые инструкции исключаются из состава модели;
- приложение на языке Си или Ассемблера компилируется, анализируется полученный машинный код, и определяются неиспользуемые инструкции, которые исключаются из состава модели.

При разработке проектов СБИС СнК на базе контроллерных СФ-блоков требуется выполнение следующих этапов:

- настройка моделей контроллерных блоков и встраивание их в проект (программное моделирование),
- создание прототипа проектируемой системы на ПЛИС,
- реализация проекта в виде СБИС.

Разработана общая методика верификации, позволяющая подтверждать корректность функционирования контроллерных блоков на всех перечисленных стадиях работы с проектом, которая включает следующие основные этапы:

1. Создание тестовых программ – ассемблерный код позволяет работать точно с тем набором инструкций, который задан в конфигурации ядра.
2. Формирование эталонных тестовых векторов, используя симулятор в среде разработки и отладки ПО МК AVR.
3. Загрузку тестовых программ в память контроллерного блока. Способ программирования зависит от текущей реализации СФ-блока.
4. Выполнение тестовой программы контроллерным СФ-блоком и сохранение её результатов.
5. Сравнение полученных результатов с эталонными векторами.

Для функционального контроля модели СФ-блока Mega128 по данной методике при реализации в виде ПЛИС или СБИС разработана система самотестирования Mega128\_Selftest. Система предназначена для проверки корректного выполнения практически всех инструкций из набора команд AVR Mega128, за исключением инструкций управления работой процессора и записи в память программ (SLEEP, WDR, SPM), которые тестируются отдельно. Состав разработанной системы самотестирования включает программу для модели СФ-блока Mega128 (проект для AVRStudio - UUP\_Selftest.apl) и программу-анализатор для ПК Windows

(UUP\_Analyzer), которая позволяет запрашивать и получать от контроллерного блока тестовые вектора, а затем сравнивать их с эталоном.

#### **Глава 4. Практическое применение разработанных контроллерных СФ-блоков и оценка характеристик**

Результаты синтеза разработанных СФ-блоков на базе ПЛИС семейства Virtex-4 средствами САПР Xilinx XST представлены в таблице 3. Указано число элементов ПЛИС, использованных для реализации СФ-блока при двух вариантах оптимизации (по быстродействию и площади) с применением обычного (Normal) алгоритма: количество логических блоков LUT, триггеров FF и секций ПЛИС Slices. Приведена оценка максимальной тактовой частоты, а в скобках указана соответствующая доля занятых ресурсов ПЛИС в процентах.

**Таблица 3. Ресурсы для реализации СФ-блоков «Mega103» и «Mega128» на ПЛИС Xilinx Virtex-4 LX25-12 (содержат 4Кбайт внутреннего ОЗУ, реализованного в виде блочной памяти ПЛИС)**

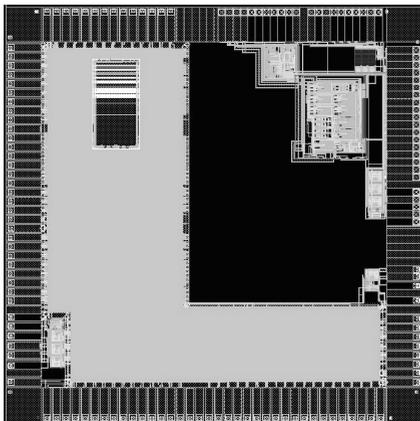
	Метод и степень оптимизации	Число секций	Число триггеров	Количество LUT	Макс. тактовая частота, МГц
Mega 128	Быстродействие	2127 (19%)	1193 (5%)	4080 (18%)	66.3
	Площадь	1973 (18%)	1091 (5%)	3611 (16%)	40.1
Mega 103	Быстродействие	1227 (11%)	839 (3%)	2313 (10%)	56.4
	Площадь	1153 (10%)	793 (3%)	2080 (9%)	34.3

Максимальная тактовая частота контроллерного СФ-блока «Mega128» при реализации на ПЛИС типа Virtex-4 LX25-12 компании Xilinx составляет 66 МГц. В проектах, не требующих высоких тактовых частот, целесообразно использовать оптимизацию по площади, что позволяет экономить около 400 LUT. Упрощенный вариант контроллерного СФ-блока - модель «Mega103», реализуется существенно более компактно, используя в оптимальном случае на 2000 LUT меньше, чем модель «Mega128».

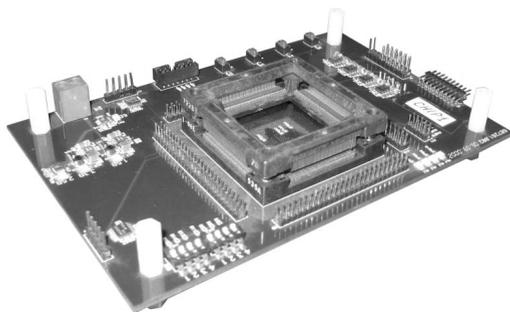
Проведена аппаратная реализация модели СФ-блока в виде СБИС в рамках ОКР «Кристалл». Данный проект заключался в модернизации существовавшей системы обработки видеоизображения с неохлаждаемой болометрической фоточувствительной матрицы. Для работы использовалась модель «Mega103», обеспечивающая управление блоком цифровой обработки БЦО, обслуживание интерфейсной части устройства (клавиатуры, обмена с ПК), формирование управляющих напряжений матрицы через модули ЦАП, управление шторкой закрытия объектива.

Кристалл управления был изготовлен по технологии КМОП 0.25 мкм в корпусе со 144 выводами в виде опытной партии количеством 15

штук. Площадь, непосредственно занимаемая контроллерным СФ-блоком вместе с ОЗУ данных размером 4Кх8, составила порядка 1 мм<sup>2</sup>. При этом максимальная тактовая частота блока была ограничена скоростью работы внешней параллельной FLASH-памяти и составила 8 МГц. Топология кристалла представлена на рисунке 8.



**Рис. 8.** Топология кристалла управления Mega103 с четырьмя блоками ЦАП

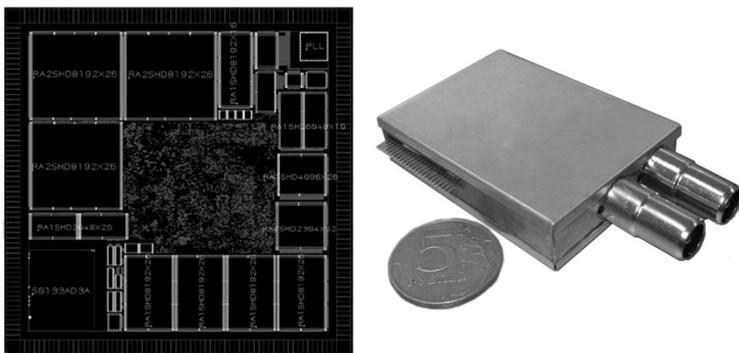


**Рис. 9.** Тестовый стенд для верификации изготовленных образцов СБИС

С учетом разработанной методики верификации и требований к аппаратной части разработан экспериментальный стенд в виде печатной платы, позволяющий контролировать работоспособность тестового кристалла СФ-блока и исследовать его параметры. Внешний вид стенда представлен на рисунке 9.

Модель СФ-блока Mega128 использована для реализации управляющего контроллера в системе на кристалле, выполняющей функции декодера-демодулятора ЦТВ стандарта DVB-T. Вариант СФ-блока Mega128 был дополнен интерфейсным модулем I<sup>2</sup>S пользователя. Процессорное ядро после загрузки программного обеспечения в ОЗУ программ по шине I<sup>2</sup>S из внешнего источника выполняет инициализацию

логики декодирования, управление процессом обработки радиосигнала, а также программную подстройку частоты и связь с ПК. Проект реализован аппаратно и прошел полную верификацию (рисунок 10). Работа проводилась совместно с НИИ «Прогресс».



**Рис. 10. Тюнер для приёма цифрового телевидения (справа) и топология СБИС декодера (слева)**

СБИС изготовлена по технологии КМОП 0.13 мкм на фабрике SMIC (Semiconductor Manufacturing International Corporation) в Китае. Максимальная тактовая частота составила 72 МГц. Основная рабочая частота в конечной системе составляет 57,8 МГц - это одна из системных частот СБИС (всего их три – 115,6 МГц, 57,8 МГц и 28,9 МГц), которой достаточно для обеспечения требуемой производительности контроллерного блока. Для данной частоты она равняется 6,4 DMIPS (0,11 DMIPS/MHz), а пиковая производительность составляет 57,8 MIPS. Контроллерный СФ-блок с ОЗУ программ 8Kx16, ПЗУ программ 512x16 и ОЗУданных 4x8 потребовал 0.87 мм<sup>2</sup> площади. Потребляемая мощность составила 18 мВт на рабочей частоте, что соответствует потреблению МК ATmega128L на частоте 4 МГц.

Анализ полученных параметров СБИС и ПЛИС показал следующее:

- настройка модели при реализации в виде СБИС целесообразна для повышения максимальной тактовой частоты и не дает существенного уменьшения площади, основную часть которой занимают блоки ОЗУ;
- настройка СФ-блока при реализации на ПЛИС позволяет существенно снизить занимаемые ресурсы при условии синтеза модулей ОЗУ на базе блочной памяти BRAM.

Для заполнения памяти программ контроллерных СФ-блоков разработана универсальная методика обеспечения совместимости со стандартными средствами программирования от производителей МК, которая использует аппаратные ресурсы или программную эмуляцию интерфейсов. С использованием данной методики реализована поддержка записи в

память программ по протоколу ISP программатором Atmel AVRISPmkII (с применением аппаратного модуля SPI и его программным эмулятором на базе параллельного порта ввода-вывода). Верификация этой системы программирования проводилась на базе ПЛИС путём пересылки данных, поступающих от программатора, в ПК по интерфейсу UART, а также контроля диаграмм внешних и внутренних сигналов СФ-блока стандартным логическим анализатором ChipScope.

Дополнительно разработана специализированная система заполнения памяти программ контроллерных СФ-блоков, использующая только аппаратный интерфейс UART и COM-порт ПК.

## ОСНОВНЫЕ РЕЗУЛЬТАТЫ И ВЫВОДЫ

Основные научные и практические результаты диссертационной работы заключаются в следующем:

1. Обоснованы преимущества использования при проектировании СнК универсальных контроллерных СФ-блоков с архитектурой и системой команд перспективных семейств микроконтроллеров, обладающих возможностью конфигурирования и настройки. Разработана методика их проектирования на базе структурного синтеза процессорного модуля методом маршрутизации выполнения набора реализуемых команд.
2. Разработаны две модели контроллерных СФ-блоков программно совместимых с МК Atmel ATmega103 (упрощенная модель для программ управления, не требующих сложных вычислений) и ATmega128 (наиболее полно раскрывающая возможности архитектуры AVR). Разработана и отлажена библиотека периферийных RTL-модулей МК Atmel, включая контроллер внешних прерываний и интерфейсные блоки (TWI, SPI, UART).
3. Разработана параметризованная модель СФ-блока Mega128C, позволяющая проводить настройку функциональности ядра (с учетом групп связанных инструкций) и набора периферийных блоков. Исследована возможность реализации AVR-совместимых контроллерных СФ-блоков на ПЛИС, проведен расчет и анализ параметров таких систем. Показано, что исключением нескольких инструкций, которые могут быть замещены комбинацией других команд, достигается увеличение максимальной тактовой частоты на 39% и снижение занимаемой площади на 34%. Разработана интерактивная среда настройки параметризованной модели, позволяющая в наглядной форме редактировать структуру модели, корректировать карту памяти и создавать конфигурационный Verilog-файл.
4. Для разработанных моделей контроллерных СФ-блоков с учетом их особенностей предложен маршрут построения СнК. Эффективное применение моделей обеспечивается полной настройкой под требования проекта. Для чего разработаны средства анализа машинного кода,

- позволяющие исключить из набора команд процессорного ядра неиспользуемые инструкции. При этом уменьшается занимаемая площадь кристалла, повышается максимальная тактовая частота и снижается время реакции и обработки внешних сигналов.
5. Разработана программная методика функционального контроля модели СФ-блока, позволяющая проверять работоспособность процессорного ядра (корректность исполнение инструкций) на всех стадиях проектирования, а также непосредственно в составе конечной системы при помощи обмена с СФ-блоком через параллельный порт или интерфейс UART. В соответствии с данной методикой были разработаны: тестовая программа СФ-блока, формирующая 4 тестовых вектора на каждую из групп команд AVR, и программа-анализатор для ПК, производящая запросы выработки этих векторов, их получение и сравнение с эталонными значениями. Разработана специализированная плата функционального контроля образцов СБИС.
  6. Предложен способ адаптации СФ-блока к средствам внутрисхемного программирования микроконтроллеров. Разработаны синтезируемые блоки (Soft) и программное обеспечение ядра (Software) для использования стандартного программатора AVRISPmkII по протоколу ISP (при использовании аппаратного модуля SPI и с применением его программной эмуляции на базе параллельного порта ввода-вывода).
  7. Эффективность методики проектирования СФ-блоков подтверждена в процессе успешной реализации двух СнК проектов:
    - а) Проведена аппаратная реализация модели СФ-блока «Mega103» в рамках ОКР «Кристалл». Получены опытные образцы СБИС по технологии КМОП 0,25 мкм, размер кристалла 4x4 мм без учета площади контактных площадок (использовался корпус со 144 выводами). При этом контроллерный СФ-блок и память ОЗУ 4Кx8 потребовали порядка 1 мм<sup>2</sup> площади, а максимальная тактовая частота составила 60 МГц.
    - б) На базе модели «Mega128» разработан управляющий контроллер для системы на кристалле, реализующей функции COFDM декодера-демодулятора ЦТВ стандарта DVB-T. Проект реализован аппаратно в виде СБИС по технологии КМОП 0,13 мкм. Контроллерный СФ-блок с ОЗУ программ 8Кx16, ПЗУ программ 512x16 и ОЗУ данных 4x8 потребовал 0,87 мм<sup>2</sup>. Максимальная тактовая частота составила 72 МГц, а потребляемая мощность - 18 мВт на рабочей частоте 57,8 МГц, что соответствует потреблению МК АТMega128L на частоте 4 МГц.
  8. Перспективные направления дальнейших работ: создание моделей с системой команд PIC-контроллеров компании Microchip, контроллеров более высокой разрядности (16 и 32); интеграция контроллеров стандартных шин СнК для поддержки СФ-блоков сторонних производителей; построение новых перспективных СнК в рамках федеральных целевых программ РФ.

## Публикации по теме диссертации

### Публикации в изданиях, рекомендованных ВАК РФ:

1. *Родионов А.А., Шагурин И.И.* Контроллерные СФ-блоки для реализации функций управления в СБИС // Известия высших учебных заведений. Электроника. 2009, №1 (75). – С.59-66.

### Статьи и материалы конференций:

2. *Родионов А.А., Пташко А.В.* Возможности использования IP-моделей микроконтроллеров в качестве блоков управления в «системах на кристалле» // Научная сессия МИФИ-2006. Сборник научных трудов. В 16 томах. Т.1. Автоматика. Микроэлектроника. Электроника. Электронные измерительные системы. Компьютерные медицинские системы. М.: МИФИ, 2006. - С.136-137.

3. *Шагурин И.И., Родионов А.А., Белов Д.В.* Контроллерный СФ-блок для реализации функций управления в СБИС класса "система на кристалле" // Проблемы разработки перспективных микроэлектронных систем – 2006. Сборник научных трудов / под общ. ред. А.Л. Стемповского. – М.: ИППМ РАН, 2006. С.386-390.

4. *Бочаров К.Ю., Трофимов В.В., Родионов А.А.* Блок цифровой обработки сигнала для СБИС класса «система-на-кристалле», предназначенной для обработки изображения // Научная сессия МИФИ-2007. Сборник научных трудов. В 17 томах. Т.1. М.: МИФИ – 2007. С.119-120.

5. *Родионов А.А., Жохов Д.В., Бочаров К.Ю.* Разработка унифицированной адаптированной СБИС для формирования управляющих и информационных сигналов в оптоэлектронных системах // Научная сессия МИФИ-2007. Сборник научных трудов. В 17 томах. Т.1. М.: МИФИ – 2007 – С.121-122.

6. *Шагурин И.И., Родионов А.А.* IP-блок для реализации функций управления в составе СБИС класса «Система-на-кристалле» // Электронные компоненты. 2007. №1. С.42-46.

7. *Родионов А.А., Каньшев В.О., Белобородова С.В.* Управляющий контроллер для системы, реализующей функции декодера-демодулятора ЦТВ стандарта DVB-T. // Научная сессия МИФИ-2008. Сборник научных трудов. Том 8. С.166-167.

8. *И.И. Шагурин, А.А. Родионов, В.О. Каньшев* Проектирование СНК на базе библиотеки IP-блоков GRLIB компании Gaisler Research // Проблемы разработки перспективных микро- и наноэлектронных систем – 2008. Сборник научных трудов / под общ. ред. А.Л. Стемповского. – М.: ИППМ РАН, 2008. С.453-457.

9. *Шагурин И.И., Каньшев В.О., Родионов А.А.* Применение IP-библиотек для проектирования СНК // Электронные компоненты. 2009. №1. - С.22-25.

Подписано в печать 11.10.2010

Печать трафаретная

Заказ №  
Тираж 100 экз.

Типография «11-й ФОРМАТ»  
ИНН7726330900  
115230, Москва, Варшавское ш., 36  
(499) 788-78-56  
[www.autoreferat.ru](http://www.autoreferat.ru)

