

На правах рукописи

СИВКОВ Степан Игоревич

**МЕТОДЫ И СРЕДСТВА ПРОЕКТИРОВАНИЯ КОДО-ИМПУЛЬСНЫХ
УСТРОЙСТВ С ИСПОЛЬЗОВАНИЕМ ОПЕРАТОРОВ ЛОГИЧЕСКОЙ
СВЕРТКИ**

Специальность 05.13.05 – «Элементы и устройства вычислительной
техники и систем управления»

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Автор:



Москва - 2013

Работа выполнена в Технологическом институте - филиале ФГАОУ ВПО
«Национальный исследовательский ядерный университет «МИФИ».

Научный руководитель:

Новиков Леонид Григорьевич, кандидат технических наук, доцент, зав.
кафедрой Технических систем контроля и управления, Технологический
институт НИЯУ МИФИ

Официальные оппоненты:

Руфицкий Михаил Всеволодович, доктор технических наук, профессор
Владимирского государственного университета имени Александра
Григорьевича и Николая Григорьевича Столетовых

Коротков Сергей Викторович, кандидат технических наук, ОАО «Концерн
«Системпром»

Ведущая организация:

ФГУП «Центральный научно-исследовательский институт экономики,
информатики и систем управления»

Защита состоится 23 декабря 2013г. в 15.00 часов на заседании
диссертационного совета Д 212.130.02 при НИЯУ МИФИ по адресу: 115409,
г.Москва, Каширское шоссе, д.31.

С диссертацией можно ознакомиться в библиотеке НИЯУ МИФИ.

Просим принять участие в работе совета или прислать отзыв в двух экземплярах,
заверенный печатью организации, по адресу НИЯУ МИФИ.

Автореферат разослан « » ноября 2013г.

Ученый секретарь
диссертационного совета



Скоробогатов П.К.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность диссертации

Слабое развитие отечественной электроники, ее отсталость от зарубежных производств заставляет разрабатывать системы управления и обработки информации с большим количеством компонентов, габаритные, с увеличенным энергопотреблением. Системы, где используются импортные элементы, могут быть подвержены «управлению» извне, а именно: путем встроенных «закладок» выводить критически важные объекты из строя. Создание систем управления на отечественных компонентах, малогабаритных, с низким энергопотреблением и с упрощенным синтезом схем управления является актуальной задачей.

Одним из перспективных направлений исследований является разработка научных основ преобразования, анализа и синтеза средств дискретной и цифровой обработки сигналов на основе синхронного PZ-сигнала. Имея функционально полный набор операторов, можно осуществить преобразование синхронных PZ-рядов в логическую структуру. Данный подход позволит упростить синтез систем управления и обработки информации с его реализацией на программируемой логической свертке.

Над изучением проблемы цифрового преобразования сигналов на основе синхронного PZ-сигнала активно занимались такие ученые, как Д.А. Поспелов, Г.Р. Грейнер, В.П. Ильяшенко, В.П. Май, Н.Н. Первушин, Л.И. Токмаков, J. Smith, C. Roth и др. В работах рассматриваются графические способы представления двоичных переменных как функций времени. Вводится описание таких операторов, как «задержка», «первый раз», «второй раз», «приход», «состояние», «пока» и др., которые приближенно напоминают функции операторов логической свертки сигнала. Приводится синтез управляющих логических устройств с применением операторов алгебры состояний. Элементы задержки асинхронные, реализуются на RC-цепочках. Приводятся примеры построения систем управления на логических элементах с задержками.

Описываются схемы, которые выполняют функции операторов логической свертки: удлинение, операцию компрессии и выделение фронта входного PZ-сигнала. Приводится описание этих функций в форме рекуррентной булевой функции второго рода.

Сложность реализации описанных принципов построения логических схем с задержками состояла в отсутствии развитой элементной базы и не получила должного уровня развития и распространения.

Имея в техническом арсенале программируемые логические схемы типа CPLD, можно реализовать системы управления и обработки информации на конфигурируемых модулях с динамическим управлением, выполняющих функции элементов цифровой техники на операторах логической свертки. Данный подход позволит создавать системы на «одном кристалле», что даст возможность перевести многие «закрытые» системы управления и обработки информации на современный уровень развития электроники, минуя «закладки» встречающиеся в импортируемой электронике. Сведение к минимуму элементов построения систем снизит их энергопотребление, повысит надежность.

Применение формализованного метода синтеза синхронных логических схем позволит упростить и уменьшить время разработки систем, путем перевода временных диаграмм в PZ-ряд, составление процедур свертки по PZ-ряду, синтеза схем по процедурам свертки. Жесткая логика устройства повысит стабильность работы при должной отладке устройства, уменьшится вероятность программных сбоев. По сравнению с ПЛИС, системы, построенные на микроконтроллерах, имеют свойство «зависать», что негативно сказывается на работе любой системы.

Цель диссертационной работы заключается в создании методологии анализа задержанных и незадержанных PZ-сигналов и проведения на его основе синтеза импульсных устройств методами логической обработки. Предлагаемый

подход позволяет оптимизировать, ускорить и упростить процесс проектирования элементов, устройств и систем управления и обработки информации.

Поставленная цель диссертации достигается решением задач:

- разработкой логических методов анализа и синтеза синхронных импульсных процедур, позволяющих произвести преобразование временных диаграмм в PZ-ряд, составление процедур свертки по PZ-ряду, синтез схем по процедурам свертки;
- созданием функционально полного набора операторных элементов, выполняющих основные преобразовательные функции для реализации систем управления, сбора, обработки и передачи информации;
- разработкой универсального программируемого модуля логической свертки, реализуемого на ПЛИС, позволяющего реализовать все типы процедур логической свертки;
- синтеза схем и созданием на их основе многофункциональных устройств, основанных на операторах логической свертки.

Основные положения диссертации, выносимые на защиту:

- способы представления синхронных сигналов в виде PZ-рядов;
- комплекс операторов логической свертки для построения устройств на основе синхронного PZ-сигнала;
- методы анализа и синтеза устройств на операторах логической свертки;
- универсальный программируемый модуль логической свертки;
- технология применения одностипных синхронизируемых элементов для упрощения проектирования систем управления и обработки информации.

Научная новизна диссертации:

- разработан функционально полный набор операторов логической свертки, позволяющий синтезировать устройства по временным диаграммам;

- создан универсальный программируемый модуль, который позволяет реализовать функционально полный набор операторов логической свертки с динамическим управлением;
- проведена классификация синхронизируемых логических устройств по виду выполняемых функций, позволяющая выделить в отдельный класс устройства, работающие с PZ-сигналом;
- реализован конвейерный способ обработки синхронного PZ-сигнала на универсальном программируемом модуле операторов логической свертки, позволяющий динамически задавать вид преобразования PZ-сигнала.

Практическая значимость разработанных положений заключается в том, что на их основе:

- разработаны модели операторов логической свертки сигнала на языке VerilogHDL, позволяющие упростить процесс разработки вычислительной техники и систем управления;
- разработаны практические схемы синхронизируемых элементов с задержками:
 - модуляторы и демодуляторы синхронных сигналов;
 - частотные дискриминаторы, определяющие соответствие частоты заданному значению;
 - фазовые конверторы, выделяющие PZ-сигналы, соответствующие разности сравниваемых величин;
 - фазовые дискриминаторы для идентификации опережения или отставания фазы;
 - дискриминаторы для идентификации сигналов по длине последовательностей низкого и высокого уровня синхронного сигнала;

На основе разработанных элементов пополнены библиотеки САПР для проектирования ПЛИС, что позволяет упростить процесс разработки систем управления и обработки информации.

- проведено компьютерное и физическое моделирование синтезированных устройств.

Внедрение результатов

С использованием результатов исследования в условиях ОАО «Тизол» осуществлено внедрение блока управления шаговым двигателем, построенного на операторах логической свертки сигнала, который был установлен в маятнике раскладчика ковра производственной линии теплоизоляционных изделий. Предлагаемое техническое решение повысило качество регулирования системы управления и качество продукции, уменьшило ремонтно-эксплуатационные затраты путем отказа от дорогостоящего оборудования фирмы Control Techniques.

Разработанные фазоимпульсные модуляторы, построенные по принципу конвейерной обработки сигналов на универсальном программируемом модуле, внедрены в лабораторный практикум «Преобразовательная техника» кафедры Технических систем контроля и управления ТИ НИЯУ МИФИ.

Апробация работы

Отдельные положения исследования апробированы в публичных выступлениях и докладах на международных, региональных и отраслевых научно-практических конференциях:

- Третья региональная научно-практическая конференция учащихся, студентов и молодых ученых «Молодежь и наука – 2010», г.Лесной.
- Четвертая региональная научно-практическая конференция учащихся, студентов и молодых ученых «Молодежь и наука – 2011», г.Лесной.
- XI научно-практическая конференция «Дни науки – 2011», г.Озерск.

- Пятая региональная научно-практическая конференция учащихся, студентов и молодых ученых «Молодежь и наука – 2012», г.Лесной.
- XV Международная телекоммуникационная конференция молодых ученых и студентов «Молодежь и наука», г.Москва.
- Научная сессия СФТИ НИЯУ МИФИ 2012, г. Снежинск.
- XII научно-практическая конференция «Дни науки – 2012», г.Озерск.
- XVI Международная телекоммуникационная конференция молодых ученых и студентов «Молодежь и наука», г.Москва.
- VII международная научно-техническая конференция «Автоматизация и прогрессивные технологии в атомной отрасли» (АПТ-2012), г.Новоуральск.
- Научная сессия НИЯУ МИФИ – 2013, г.Москва.

Публикации

По теме диссертации опубликовано 16 печатных работ, в том числе 5 публикаций в изданиях, включенных в список ВАК.

Структура диссертации

Диссертация состоит из введения, пяти глав, выводов по работе и списка литературы. Объем работы составляет 152 страницы. Текст исследования иллюстрирован 64 рисунками, 27 таблицами. Библиографический список включает в себя 105 наименований.

Содержание диссертации

Во введении сформулирована актуальность темы диссертационной работы, ее цель, научная новизна и практическая значимость исследования, а также приведены основные положения, выносимые на защиту.

В первой главе диссертационной работы изложены:

- методология получения унитарных сигналов;
- выделены определяющие характеристики унитарных сигналов как отдельного класса сигналов;

- дана общая характеристика применения синхронных сигналов;
- проведен обзор и систематизация устройств на основе унитарного сигнала;
- рассмотрены принципы построения времяимпульсных и фазоимпульсных элементов.

Вторая глава посвящена описанию анализа и создания синхронных импульсных устройств. Цель главы – создать формальную методику анализа и синтеза синхронных импульсных устройств. Аппаратом анализа и синтеза является алгебра логики многочленов, позволяющая совместить логику и временной анализ.

Представление синхронного импульсного сигнала в виде PZ-рядов позволяет формализовать логическую обработку сигналов. Для выполнения логических действий PZ-ряд необходимо демультиплексировать (пространственно развернуть) с помощью элементов задержки, а затем с помощью логических функций выполнить обратную задачу – мультиплексировать (свернуть) на выходы логических устройств.

Обобщенная схема синхронной логической свертки (рис.1), выполняющая логические операции с задержанными и незадержанными PZ-рядами, состоит из регистра сдвига p^0, p^1, \dots, p^N , формирующего мгновенную выборку сигнала $A(p) = p^0 \dots p^N$ логических схем (&) и операторов свертки (s).

Синхронная логическая свертка, определяющая логическую операцию с входными и задержанными PZ-рядами, может быть представлена в виде:

$$C(p^{n+m}) = A(p^n) \oplus B(p^{n+1})$$

где $A(p) = a_0P^0 + a_1P^1 + a_2P^2 + \dots$ – входная последовательность, $a_i = \{0,1\}$ – переменная, которая определяет наличие или отсутствие переменной p^i в многочлене $A(p)$, $B(p) = A(p) \cdot p$ – многочлен задержки входной последовательности, \oplus - символ логической операции из множества $V[\wedge, \vee, \oplus, \triangleright, \triangleleft]$, где \wedge – конъюнкция, \vee – дизъюнкция, \oplus – сложение по модулю два, \triangleright – прямой запрет, \triangleleft – обратный запрет.

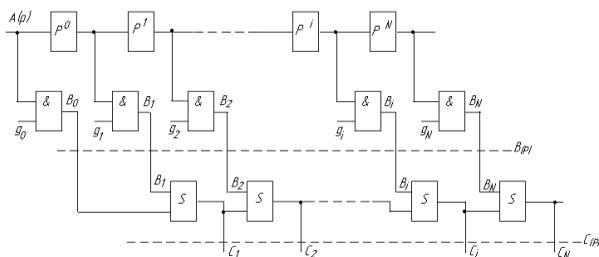


Рис.1. Обобщенная схема СЛС

Из всего многообразия функций логической свертки выделены основные классы функционально полных наборов элементарных логических функций:

$$C_{\delta}(p) = A(p) \vee B(p),$$

$$C_{\wedge}(p) = A(p) \wedge B(p),$$

$$C_{\phi}(p) = A(p) \wedge \overline{B(p)},$$

$$C_S(p) = \overline{A(p)} \wedge B(p),$$

$$C_{\mu}(p) = A(p) \oplus B(p),$$

где C_{δ} – дизъюнктивная, C_{\wedge} – конъюнктивная структуры, C_{ϕ} – конъюнктивная с инверсией задержанной переменной, C_S – конъюнктивная с инверсией входной переменной, C_{μ} – сложение по модулю два входной и задержанной переменных, $B(p)$ – многочлен задержки, $A(p)$ – входная последовательность.

Основные ОЛС, составляющие функционально полный набор синхронной логической свертки (СЛС), приведены в таблице 1.

На основании изложенного сделаны выводы:

1. Действия с PZ-рядами сводятся к операциям с многочленами и к приведению подобных членов по правилам логического сложения, умножения и сложения по модулю два.

2. Результатом действия логической свертки на входной сигнал является выходной ряд, определяемый видом входного ряда и видом свертки.

3. С помощью функционально полного набора операторов свертки реализуется любая процедура свертки.

Таблица 1. Операторы свертки и временные диаграммы

№	Схема ОЛС	Временные диаграммы	Условное графическое обозначение ОЛС
	1	2	3
1			
2			
3			
4			
5			

В третьей главе рассматриваются устройства для обработки PZ-рядов, их возможности, а так же описывается процесс апробации этих устройств.

Результатом систематизации и проведенного анализа аналого-импульсных устройств является создание различных устройств: автогенераторов; идентификаторов; формирующих и избирательных устройств фазы, времени и частоты, функционирующих на основе синхронных импульсных PZ-рядов.

Каскадные схемы логической свертки работают по принципу конвейерной обработки сигналов, основанному на разделении процесса обработки PZ-сигнала

на отдельные процедуры. Каждая процедура реализуется на операторах логической свертки.

На структурных схемах конвейер представляется в виде последовательной сети, состоящей из операторов свертки. В таких схемах в процессе обработки можно изменять вид, порядок и кратность включения операторов конвейера, что позволяет эффективно управлять функциями конвейера.

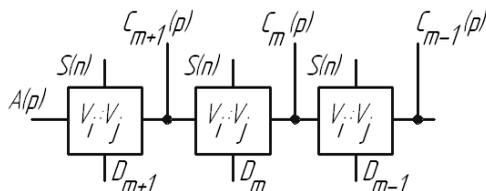


Рис. 2. Конвейер логической свертки

Процедуры дискриминации и демодуляции PZ-рядов

Процедура дискриминации лежит в основе многих видов преобразования. Дискриминация это процедура идентификации рядов по информационным признакам: длине, частоте, фазе и др. Вид дискриминации определяется модуляционным параметром. По этому принципу различают следующие виды дискриминации: широтная дискриминация (WD) – по длине PZ-рядов (количество «нулей» или «единиц» в рядах); частотная дискриминация (FD) – по длине периода PZ-рядов (количество «нулей» и «единиц» в периоде).

В общем случае дискриминация осуществляется с помощью процедур:

по длине Z-ряда $\{A \circ i\delta \circ \varphi\}$, $\{A \circ i\delta \circ \zeta\}$, $\{A \circ i\delta \circ \mu\}$,

по длине P-ряда $\{A \circ j\kappa \circ \varphi\}$, $\{A \circ j\kappa \circ \zeta\}$, $\{A \circ j\kappa \circ \mu\}$.

На основе конвейерной логической сети могут быть реализованы разнообразные модуляторы. Для построения модуляторов применяются конвейеры с разомкнутым и замкнутым кольцевым циклом.

Широтно-импульсный модулятор

Модуляционным параметром широтно-импульсного модулятора (ШИМ) является длина P-ряда, при постоянном периоде дискретизации $N_d = N_P + N_Z$.

Конвейер в режиме ШИМ разомкнут ($R=0$). Период дискретизации N_d определяется сигналом $A(p)$. Длина P-ряда $N_p = C_{\text{ШИМ}}$ задается комбинацией внешних управляющих векторов D_2, D_1, D_0

$$C_{\text{ШИМ}} \leftarrow \{A \circ \varphi \circ 4(D_2 \delta) \circ 2(D_1 \delta) \circ (D_0 \delta)\},$$

где D_2, D_1, D_0 сигналы внешнего векторного управления.

Таблица 2. Процедуры ШИМ

$D_2 D_1 D_0$	Вектор свертки	PZ-ряды	Длина P-ряда
000	$C_{\text{ШИМ}} = \{A \circ \varphi\}$,0100000010,	1
001	$C_{\text{ШИМ}} = \{A \circ \varphi \circ \delta\}$,01100000110,	1+1=2
010	$C_{\text{ШИМ}} = \{A \circ \varphi \circ 2\delta\}$,011100001110,	1+2=3
011	$C_{\text{ШИМ}} = \{A \circ \varphi \circ 2\delta \circ \delta\}$,011110001111,	1+3=4

Фазоимпульсный модулятор

Модуляционным параметром ФИМ является фазовый сдвиг между переменными $A(p)$ и $C(p)$, заданными PZ-рядами. Примеры построения одно-, двух- и трехбитовых модуляторов ФИМ показаны ниже.

Однобитовый ФИМ (процедура свертки):

$$C_{\text{фим}} \leftarrow \{A \circ (D_0 S + \bar{D}_0 \varphi)\}.$$

Двухбитовый ФИМ (процедура свертки):

$$C_{\text{фим}} \leftarrow \{A \circ (D_1 S + \bar{D}_1 \varphi) \circ S \circ (D_0 2S + \bar{D}_0) \circ 3\delta\}.$$

Трехбитовый ФИМ (процедура свертки):

$$C_{\text{фим}} \leftarrow \{A \circ (D_2 S + \bar{D}_2 \varphi) \circ (D_1 2S + \bar{D}_1) \circ (D_0 S + \bar{D}_0) \circ 3\delta\}.$$

Конвейерный логический идентификатор

В конвейерной сети логической обработки сигналов, подобно ассоциативному процессору, может быть задан некоторый критерий, в соответствии с которым будет производиться отбор данных.

Конвейерная логическая идентификация (*CLI*) выполняет функции ассоциативного процессора: в последовательном потоке сигналов обнаруживает любую заданную комбинацию. Конвейерный идентификатор представляет собой полифазную структуру, состоящую из векторного конвейера операторов логической синхронной свертки $\{s\}$, управляемых схемой сравнения.

Конвейерная идентификация произвольной комбинации реализуется с помощью векторной свертки:

$$CLI(p) \leftarrow \{((A_i \oplus B_i) \circ s_{i-1}) \wedge ((A_{i+1} \oplus B_{i+1}) \circ s_i) \wedge ((A_{i+2} \oplus B_{i+2}) \circ s_{i+1})\}$$

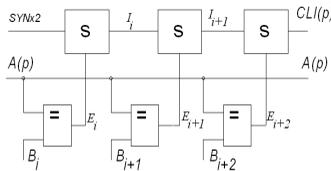


Рис. 3. Схема конвейерного логического идентификатора

Разветвленные структуры конвейерной обработки сигналов

Полифазные сети (ПФС) – это преобразовательные системы, реализующие процедуры идентификации сигнальных признаков, основанные на разветвлении сигнальных потоков по отдельным ветвям, в которых формируются сигнальные ряды с различными частотными, временными и фазовыми соотношениями, и последующем объединении этих потоков с помощью логических смесительных устройств.

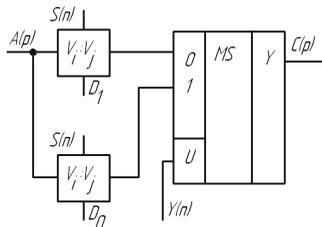


Рис. 4. Универсальный модуль полифазной свертки

Если логические смесители реализовать на мультиплексоре – селекторе (MS), то получим универсальный модуль ПФС (рис.4), который можно описать в общем виде:

$$C = \{A\} \Theta \{B\},$$

где A, B – информационные потоки СПС, Θ – символ логического смесителя, $\Theta \leftarrow V[\wedge, \vee, \oplus, \triangleright, \triangleleft]$: \wedge – конъюнкция, \vee – дизъюнкция, \oplus – сложение по модулю два, \triangleright – конъюнкция с запретом задержанной переменной, \triangleleft – конъюнкция с запретом незадержанной переменной.

В основе идентификации лежит принцип сравнения сигналов с образцами сигналов (мерами), называемых опознавателями. Конфигурация опознавателя задается с помощью операторов свертки.

Примеры полифазной свертки:

- 1) ограничение длины P -ряда по уровню «больше»;
- 2) ограничение длины P -ряда по уровню «меньше»;
- 3) дискриминация длины P -ряда по уровню «больше»;
- 4) дискриминация длины P -ряда по уровню «меньше»;
- 5) дискриминация длины P -ряда по уровню «равно»;
- 6) дискриминация и длины P -ряда по уровню «меньше» и ограничение по уровню «больше»;
- 7) двухпороговая дискриминация длины P -ряда;
- 8) дискриминация и длины P -ряда по уровню «меньше» и ограничение по единичному уровню.

На ПФС можно провести логическую обработку сигнала следующих видов: модуляцию и демодуляцию, селекцию, обнаружение «совпадения», выбор минимальных и максимальных значений сигналов, преобразование частот, определение соотношений «опережение-отставание», конвертирование фазо-импульсного сигнала в широтно-импульсный, обнаружение рассогласования, ограничение длины сигнала по фронту или срезу, преобразование длины и др.

Идентификаторы на перекрестной свертке

К перекрестному классу относятся структуры, в которых разветвленные потоки смешиваются в различных сочетаниях, определяемых решаемой задачей. Типичными представителями данного класса являются идентификаторы взаимного положения синхронных сигналов, широтные, фазовые, частотные дискриминаторы.

Логическая идентификация – преобразовательная процедура, включающая операции демультиплексирования и логической свертки.

Идентификатор разделительных стробов PZ-ряда – это дискретное устройство, обнаруживающее в потоке сигналов комбинации 010 и 101. Идентификацию стробов ISP и ISZ можно записать в виде процедур

$$\begin{cases} \text{ISZ} \leftarrow \{A \circ \varphi\} \wedge \{A \circ 2s\} \\ \text{ISP} \leftarrow \{A \circ \varphi \circ s\} \wedge \{A \circ s\} \end{cases},$$

где A – преобразуемый сигнал PZ-ряда; ISZ, ISP – логические признаки разделительных «единичных» и «нулевых» стробов.

Широтный идентификатор (IWL, IWG) – это дискретное устройство идентификации длины заданной СПС по уровню «меньше» или «больше», формирующее стробы превышения одной величины над другой. Стробы IWL, IWG определяются по положению среза сигналов относительно меры M длиной i, формируемой процедурой $\{A \circ \varphi \circ i\delta \circ s\}$, синфазную с входным сигналом. Широтную дискриминацию по срезам можно записать в виде процедур

$$\begin{cases} \text{IWL} \leftarrow (\{A \varphi i\delta\} \wedge \{A s\}), & \text{IWL} \leftarrow (\{A i\delta s\} \wedge \overline{A}) \\ \text{IWG} \leftarrow (\{A \varphi i\delta s\} \wedge A), & \text{IWG} \leftarrow (\{A s i\delta\} \wedge \{A \varphi\}) \end{cases},$$

где A – преобразуемый PZ-ряд; IWL, IWG – логические признаки дискриминации длины P-ряда.

Частотный идентификатор определяет соответствие частоты сигнала заданному значению. Принцип работы IF основан на сравнении частоты

сигнала с константой, формируемой преобразуемым сигналом с помощью процедур $M = \{\varphi j \delta\}$ и $S = \{s j \delta\}$,

$$\begin{cases} IFG \leftarrow (\{A \varphi i \delta\} \wedge \{A s i \delta\}) \\ IFL \leftarrow \overline{(\{A \varphi i \delta\} \wedge \{A s i \delta\})} \end{cases},$$

где IFG – признак высокой частоты, при этом имеет место совпадение сигналов мер времени; IFL – признак низкой частоты, когда имеет место совпадение противоположных значений сигналов мер частоты; φ – оператор фронта, δ – оператор удлинения; s – оператор среза, j – величина меры пороговой частоты (длина константы, которая выбирается из условия: $j = f_{\text{sin}} / 2f_{\text{п}}$, где f_{sin} – частота синхронизации, $f_{\text{п}}$ пороговая частота).

Фазовые дискриминаторы (PD)

Работа фазового дискриминатора основана на сравнении последовательностей импульсов при условии, что их частоты близки и приближаются друг к другу.

В работе рассматриваются схемы фазовых дискриминаторов с фиксацией фазы по фронту и по срезу, процедуры свертки и временные диаграммы, характеризующие их работу. На основе этих устройств можно построить автоматы с широтно-импульсным, частотным и фазовым управлением.

Фазовый конвертор (PC) – устройство идентификации величины фазового (временного) опережения или запаздывания, преобразует СПС сигнал в широтно-импульсный. Получаемые на выходах PC-сигналы несут информацию о знаке положения и о величине разности сравниваемых величин.

Процесс конвертирования состоит из двух процедур: формирование по фронту или срезу сигнала; выборка из фазоимпульсного сигнала величины времени запаздывания или опережения относительно фронта или среза. Конвертированию могут быть подвергнуты только перекрываемые сигналы.

Фазовое конвертирование можно выполнить по фронту и срезу и записать в виде процедур:

$$\begin{cases} PCG \leftarrow \{A \wedge \{B \circ s\}\} & \text{опережение А относительно В} \\ PCL \leftarrow \{B \wedge \{A \circ s\}\} & \text{опережение В относительно А} \end{cases}$$

$$\begin{cases} PCG \leftarrow \{A \wedge \{B \circ s \circ i\delta\}\} & \text{опережение А относительно В} \\ PCL \leftarrow \{B \wedge \{A \circ s \circ i\delta\}\} & \text{опережение В относительно А} \end{cases}$$

$$\begin{cases} PCG \leftarrow \{A \wedge \{B \circ \varphi \circ i\delta\}\} & \text{отставание А относительно В} \\ PCL \leftarrow \{B \wedge \{A \circ \varphi \circ i\delta\}\} & \text{опережение В относительно А} \end{cases}$$

Преобразование PZ-рядов

Преобразование ШИМ-сигнала осуществляется путем демодуляции и повторной модуляции, то есть ШИМ→А→ШИМ, либо ШИМ→N→ШИМ. По такому алгоритму можно осуществить только линейное преобразование.

Схема состоит из двух частей: идентификатора I_x длины входной СПС и формирователей длины выходных P-рядов C_y .

$$\begin{cases} I_x \leftarrow \{A \circ \varphi \circ D_x \cdot s\} \wedge \{A \circ s\} \\ C_y \leftarrow \{I_x \circ D_y \cdot \delta\}, \end{cases}$$

где D_x, D_y – коэффициенты кратности операторов.

Таблица 3. Диаграммы преобразования PZ-рядов

	Преобразование 2→5, 3→4, 4→2, 5→1		Демодуляция PZ-рядов
А	0110000001110000011110001111100	А	00000101010100000001100110011
С	000111110000111100000001100000010	С	000000111111110000000111111111

В основе построения устройств идентификации на ПФС лежит процедура формирования признака идентификации по образцу идентифицируемого фрагмента.

В четвертой главе рассмотрена реализация устройств, работа которых основана на операторах логической свертки сигнала.

Разработана система ультразвуковой идентификации объекта. Ультразвуковой голографический идентификатор (УГИ) состоит из четырех блоков:

- система покоординатного излучения ультразвукового предметного луча.
- приемник — компаратор фазового сдвига отраженного сигнала.
- унитарное оперативное запоминающее устройство.
- система обработки измерений.

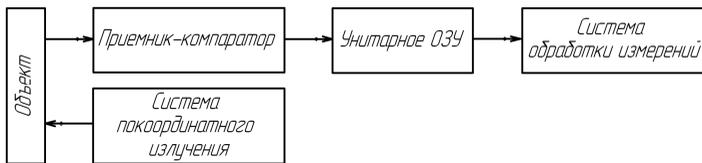


Рис. 5. Функциональная схема УГИ

УГИ – это устройство для определения численной меры соответствия между эталоном (или шаблоном) и исследуемым предметом. Для того чтобы начать исследования с прибором, его необходимо «обучить», то есть произвести сканирование образца, с которым будут сравниваться последующие.

Процесс обработки акустической информации предполагает несколько этапов: покоординатное излучение предметных ультразвуковых лучей; прием сигналов, отраженных от объекта; загрузка в память; выгрузка в реверсивные унитарные счетчики; вычисление корреляции; подсчет максимумов и передача информации в систему индикации.

Приводится описание функциональных блоков системы и их схемотехническая реализация на операторах свертки.

В ходе исследования разработана система управления четырехфазным вентильным двигателем ЭКБ-250; приведены результаты натурального испытания двигателя, сняты его механическая и моментная характеристики. Приводится

сравнение полученных характеристик с результатами моделирования математической модели двигателя. Система управления на ОЛС показала свою состоятельность.

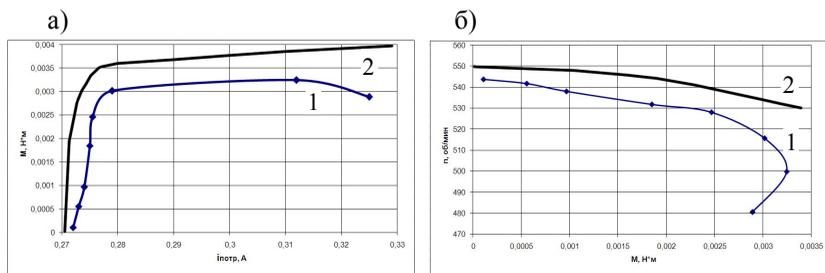


Рис. 6. Моментная характеристика (а), механическая характеристика (б); 1 – кривая моделирования, 2 - экспериментальная кривая

Также разработана система управления шаговым двигателем ШД-5Д-У МЗ на операторах логической свертки в соответствии с временными диаграммами коммутации обмоток статора (рис.7). Варианты схем и процедуры свертки представлены в таблице 4.

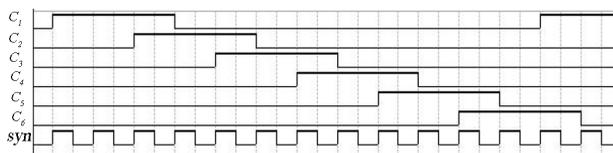


Рис. 7. Временные диаграммы коммутации обмоток статора ШД5Д

Особенностью работы схем является то, что частота вращения ротора находится в прямой зависимости от частоты синхронизации, подаваемой на вход схемы и операторов свертки.

Таблица 4. Схема управления шаговым двигателем

№	Схема управления	Процедура свертки
1		$\{(A \circ s \circ \delta) = B_1$ $(B_1 \circ \delta) = C_1$ $(B_1 \circ s \circ \delta) = B_2$ $(B_2 \circ \delta) = C_2$ \dots $(B_5 \circ s \circ \delta) = B_6$ $(B_6 \circ \delta) = C_6 \}$
2		$\{(A \circ \varphi) = B_1$ $(B_1 \circ s) = E_1$ $(E_1 \circ s) = F_1$ $B_1 + E_1 + F_1 = C_1$ $(E_1 \circ s) = B_2$ $(B_2 \circ s) = E_2$ $(E_2 \circ s) = F_2$ $B_2 + E_2 + F_2 = C_2$ \dots $(E_5 \circ s) = B_6$ $(B_6 \circ s) = E_6$ $(E_6 \circ s) = F_6$ $B_6 + E_6 + F_6 = C_6$

В пятой главе приводится сравнительный анализ разработанных устройств с их аналогами, реализованными при помощи средств на микроконтроллерах и ПЛИС при помощи языка VerilogHDL.

Сравнение способов реализации систем на микроконтроллере и ПЛИС необходимо для того, чтобы показать сложность/простоту реализации элементов и времени для решения поставленной задачи. Сравнительный анализ проводился на примере устройств ШИМ, ФИМ, КЛИ реализованных на операторах логической свертки, микроконтроллере и языке VerilogHDL. Использование схемотехнической реализации программного файла при помощи операторов свертки упрощает визуальное восприятие и занимает меньшее количество логических элементов ПЛИС, чем аналогичная реализация на языке VerilogHDL. По сравнению с микроконтроллерной реализацией операторы логической свертки позволяют распараллеливать и конвейеризировать процедуры обработки информации и способы построения систем управления. Применение универсального модуля свертки позволяет получать гибкое решение с

минимальными затратами логических элементов ПЛИС. В отличие от микроконтроллера ПЛИС обладает много большим количеством пользовательских выводов, возможностью «прошивки на ходу». На больших частотах ПЛИС имеют выигрыш в быстродействии в сравнении с микроконтроллерами, что связано с ограниченным значением тактовой частоты последних.

ЗАКЛЮЧЕНИЕ

Основной научный результат диссертации

Проведена систематизация синхронных логических функций. Описан класс синхронных логических функций, для которых введено понятие «логическая свертка» и его виды:

- конъюнктивная,
- дизъюнктивная,
- конъюнктивная с запретом входной переменной,
- конъюнктивная с запретом задержанной переменной,
- по модулю 2.

Разработан аппарат логического анализа и синтеза синхронных устройств, основанный на использовании формального описания синхронного PZ-сигнала при помощи операторов логической свертки сигнала.

Применение формализованного метода для анализа и синтеза синхронных процедур позволило создать новый класс преобразовательных устройств на основе синхронного PZ-сигнала на конфигурируемых модулях с динамическим управлением, что позволило получить гибкие решения на программируемой логике, обойтись более дешевыми средствами при первичной обработке сигналов.

Проведенный сравнительный анализ устройств на операторах логической свертки показал их преимущества по сравнению с реализацией аналогичных устройств на микроконтроллерах и ПЛИС на языке программирования

VerilogHDL. В сравнении с реализацией устройств на ПЛИС на языке программирования VerilogHDL устройства на операторах логической свертки занимают меньшее количество логических элементов. По сравнению с микроконтроллерной реализацией, представление схемы при помощи операторов свертки упрощает процесс алгоритмизации и визуального восприятия, увеличивает быстродействие при работе на больших частотах.

Основные теоретические результаты:

1. Разработан функционально полный набор операторов логической свертки сигнала.
2. Разработан универсальный программируемый модуль операторов логической свертки.
3. Реализован конвейерный способ обработки синхронного PZ-сигнала, начинающийся с первых бит входной последовательности.
4. Предложена формализованная методика синтеза схем на операторах логической свертки по временным диаграммам: перевод временных диаграмм в PZ-ряд, составление процедур свертки по PZ-ряду, синтез схем по процедурам свертки.

Основные практические результаты:

Разработан функционально полный набор элементов синхронной свертки на языке VerilogHDL, позволяющий проектировать устройства вычислительной техники и систем управления. Синтезирован управляемый модуль, позволяющий динамически задавать вид свертки в процессе конвейерной обработки синхронного PZ-сигнала.

Частные практические результаты:

1. Методы, рассматриваемые в работе, нашли применение в реальных схемах импульсных устройств:
 - дискриминаторах сигналов по длине;
 - фазовых дискриминаторах опережения или отставания сигналов;

- фазовых конверторах, идентифицирующих величины фазового опережения или запаздывания;
 - преобразователях PZ-рядов;
 - частотных и широтных идентификаторах;
 - широтных и фазовых модуляторов и демодуляторов.
2. Разработаны системы управления вентильным и шаговым двигателями. Представленные системы управления являются универсальными, и могут применяться для управления аналогичными электрическими машинами постоянного тока.
 3. Разработана система голографической идентификации объекта.
 4. Конвейерный способ формирования фазоимпульсной модуляции внедрен в лабораторный практикум «Преобразовательная техника» кафедры Технических систем контроля и управления ТИ НИЯУ МИФИ.
 5. Система управления шаговым двигателем внедрена в маятнике раскладчика ковра производственной линии теплоизоляционных изделий на предприятии ОАО «Тизол».

Основные публикации по теме диссертации
Публикации в изданиях,
внесенных в перечень ВАК Минобрнауки РФ

1. Сивков, С. И. Система управления вентильным двигателем, реализованная на CPLD / С. И. Сивков, Л. Г. Новиков // Вестник АГТУ. -2012. - №2. - С. 62-66. – ISSN 2072-9502.
2. Сивков, С. И. Конвейерный логический идентификатор / С. И. Сивков. Л. Г. Новиков // Вестник ЮУрГУ. - №35. - 2012. - С. 148-150. – ISSN 1991-976X.
3. Сивков, С. И. Фазовый конвертер с векторным управлением / С. И. Сивков, Л. Г. Новиков // Приборы и системы. Управление, контроль, диагностика. - №12. - 2012. - С. 30 – 32.
4. Сивков, С.И. Управляемый модуль операторами логической свертки / С.И. Сивков, Лукашевич Т.В., Новиков Л.Г. // Спецтехника и связь. - №1. – 2013. – С.33 – 35.
5. Сивков, С.И. Принципы построения устройств управления шаговым двигателем на основе конвейерной обработки сигналов, формируемых операторами логической свертки / С.И. Сивков, Л.Г. Новиков // Спецтехника и связь. - №2. – 2013. – С. 48 – 51.

Публикации в других изданиях

6. Сивков, С. И. Конвейерный частотно-импульсный модулятор для шагового двигателя / С. И. Сивков, Л. Г. Новиков //Третья региональная научно-практическая конференция учащихся, студентов и молодых ученых «Молодежь и наука- 2010»: Сборник тезисов докладов. Лесной-Нижняя Тура. - 2010. - С. 242-245.
7. Сивков, С. И. Реализация фазо-импульсной модуляции на операторах логической свертки / С. И. Сивков, Т. С. Кравченко // Пятая региональная

научно-практическая конференция учащихся, студентов и молодых ученых «Молодежь и наука-2012»: Сборник тезисов докладов. Лесной. - 2012. - С. 123.

8. Сивков, С. И. Коммутатор для бесколлекторного двигателя постоянного тока / С. И. Сивков, Л. Г. Новиков, Д. Ю. Курганский // Пятая региональная научно-практическая конференция учащихся, студентов и молодых ученых «Молодежь и наука-2012»: Сборник тезисов докладов. Лесной. - 2012. - С. 140-141.
9. Сивков, С. И. Симметричный ШИМ для управления бесколлекторным двигателем постоянного тока / С. И. Сивков, Л. Г. Новиков // XV Международная телекоммуникационная конференция молодых ученых и студентов «Молодежь и наука». Тезисы докладов. М. : НИЯУ МИФИ, - 2012. - С. 99-100.
10. Сивков, С. И. Частотный идентификатор на перекрестной свертке / С. И. Сивков, Л. Г. Новиков // XV Международная телекоммуникационная конференция молодых ученых и студентов «Молодежь и наука». Тезисы докладов. М.: НИЯУ МИФИ, - 2012. - С. 101-102.
11. Сивков, С. И. Система адаптивной синхронизации / С. И. Сивков, Л. Г. Новиков, А. К. Кревский // XV Международная телекоммуникационная конференция молодых ученых и студентов «Молодежь и наука». Тезисы докладов. М. : НИЯУ МИФИ, - 2012. - С. 103-104.
12. Сивков, С. И. Управление БДПТ операторами логической свертки / С. И. Сивков, Л. Г. Новиков // XI научно-практическая конференция «Дни науки-2011. Ядерно-промышленный комплекс Урала»: Том1. Тезисы докладов. Озерск. - 2011. - С. 180-190.
13. Сивков, С. И. Система фазовой автоподстройки частоты на ОЛС / С. И. Сивков, Л. Г. Новиков // XII научно-практическая конференция «Дни

науки ОТИ НИЯУ МИФИ-2012». 60-летию института посвящается: Том 2. Материалы конференции. Озерск. - 2012. - С. 14-15.

14. Сивков, С. И. Фазо-импульсный модулятор на ОЛС / С. И. Сивков, Л. Г. Новиков, А. К. Кривский // XII научно-практическая конференция «Дни науки ОТИ НИЯУ МИФИ-2012». 60-летию института посвящается: Том 2. Материалы конференции. Озерск. - 2012. - С. 15-16.
15. Сивков, С.И. Привод для сканирующей головки гамма-камеры сканера контроля изделий / С. И. Сивков, Л. Г. Новиков // Научная сессия НИЯУ МИФИ. Сек. Информационные и ядерные технологии. Снежинск. - 2012. - С. 121-124.
16. Сивков, С. И. Система формирования базовых векторов управления двигателем на операторах логической свертки / С. И. Сивков, Л. Г. Новиков // Автоматизация и прогрессивные технологии в атомной отрасли: Труды VI международной научно-технической конференции. Новоуральск. - 2012. - С.70-74.

Подписано в печать: 19.11.2013

Заказ №884 Тираж – 100 экз.

Отпечатано в типографии НИЯУ МИФИ

115409, Москва, Каширское ш.,31