

На правах рукописи

Дубинский Алексей Васильевич

**ВЫСОКОЧАСТОТНЫЕ ШИРОКОПОЛОСНЫЕ КМОП СЛОЖНО-
ФУНКЦИОНАЛЬНЫЕ БЛОКИ СИНТЕЗАТОРОВ ЧАСТОТ**

05.13.05 – «Элементы и устройства вычислительной техники
и систем управления»

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Автор:

Москва – 2009 г.

Диссертация выполнена в Московском инженерно-физическом институте (государственном университете)

Научный руководитель:

кандидат технических наук, доцент
Кондратенко Сергей Владимирович

Официальные оппоненты:

доктор технических наук, профессор
Баринов Виктор Владимирович, МИЭТ;

кандидат технических наук
Корнилов Александр Иванович, ИППМ РАН

Ведущая организация:

ОАО «Ангстрем»

Защита диссертации состоится 15 июня 2009 г. в 15 часов 00 минут на заседании диссертационного совета Д 212.130.02 в Московском инженерно-физическом институте (государственном университете) по адресу 115409, г. Москва, Каширское шоссе, 31, тел. 323-91-67.

С диссертацией можно ознакомиться в библиотеке МИФИ.

Автореферат разослан « 12 » мая 2009 г.

Ученый секретарь
диссертационного совета
д.т.н., профессор

П.К. Скоробогатов

ОБЩАЯ ХАРАКТЕРИСТИКА ДИССЕРТАЦИИ

Диссертация посвящена решению важной научно-технической задачи разработки отечественных высокочастотных широкополосных сложно-функциональных (СФ) блоков синтезаторов частот (СЧ), изготавливаемых по объемной КМОП технологии и предназначенных для построения СБИС типа «система на кристалле» (СнК).

Актуальность проблемы

В настоящее время остро стоит задача создания принципиально новой отечественной электронной компонентной базы (ЭКБ), включая создание микросхем и СФ-блоков синтезаторов частот для СБИС СнК с диапазоном рабочих частот от десятков МГц до нескольких ГГц. Данные микросхемы и СФ-блоки, работающие в указанном широком диапазоне частот, применяются в разнообразных устройствах вычислительной техники и автоматизированных системах управления (АСУ), в том числе в беспроводных системах управления транспортом (наземным и воздушным), АСУ на основе технологии радиочастотной идентификации, а также в подсистемах синхронизации устройств вычислительной техники гражданского и специального назначения. В частности, СЧ востребованы в качестве генераторов тактовых сигналов для высокоскоростных АЦП и ЦАП, запоминающих устройств, процессоров, приемопередатчиков и т.д., в которых требуется стабильная опорная частота с возможностью ее изменения. В этих случаях широко применяются СЧ на основе системы фазовой автоподстройки частоты (ФАПЧ или phase locked loop). СЧ на основе ФАПЧ (ФАПЧ-СЧ) имеют существенное преимущество в части достижения наивысших рабочих частот перед такими типами СЧ как цифровой вычислительный синтезатор (direct digital synthesizer) и СЧ на основе системы фазовой автоподстройки задержки (delay locked loop). Дополнительным преимуществом ФАПЧ-СЧ является возможность синтеза произвольного набора высоких частот при использовании недорогого источника эталонной частоты (кварцевого резонатора).

Разработкой и изготовлением микросхем ФАПЧ-СЧ занимается ряд известных зарубежных фирм: Analog Devices, National Semiconductor, Peregrine Semiconductor и др. Высокочастотные ФАПЧ-СЧ реализуются на базе передовых субмикронных технологий. Использование таких специальных видов технологий как КНИ и БиКМОП ограничивает возможность реализации СБИС СнК и увеличивает общую стоимость проекта. Известны также СФ-блоки ФАПЧ-СЧ, изготавливаемые по объемной КМОП технологии, однако они существенно уступают по техническим характеристикам упомянутым выше микросхемам ФАПЧ-СЧ. Кроме того, методики проектирования и конкретные структурные, схемотехнические и топологические решения отдельных блоков ФАПЧ-СЧ зачастую явля-

ются конфиденциальной информацией разработчиков. Многие из устройств ФАПЧ-СЧ, разработанных в нашей стране, морально устарели. На сегодняшний день образцы отечественных СФ-блоков и микросхем ФАПЧ-СЧ, предназначенных для работы в диапазоне частот 0,1...5,0 ГГц, а также методики их проектирования отсутствуют.

Для целого ряда приложений актуальна постановка и решение задачи проектирования отечественных СФ-блоков СЧ, не уступающих по совокупности основных характеристик зарубежным аналогам. Следовательно, создание собственной методики проектирования высокочастотных широкополосных СЧ на основе ФАПЧ, сложно-функциональных блоков и СБИС СнК на их основе, изготавливаемых по КМОП технологии, является важной задачей.

Целью диссертации является развитие теории и методик проектирования высокочастотных широкополосных КМОП сложно-функциональных блоков синтезаторов частот, а также разработка на основе этих методик конкурентноспособных СБИС синтезаторов частот с полосой рабочих частот до 5 ГГц.

Для достижения данной цели необходимо решение следующих **задач**:

1. Анализ технического уровня выпускаемых КМОП СФ-блоков синтезаторов частот, а также используемых в них схмотехнических и структурных решений, направленных на улучшение основных технических характеристик с учетом требований, предъявляемых к широкополосным КМОП СФ-блокам синтезаторов частот.
2. Разработка методик улучшения технических характеристик, включая дополнительное увеличение полосы рабочих частот синтезаторов в сравнении с известными подходами, с учетом возможностей и ограничений доступной объемной субмикронной КМОП технологии.
3. Построение высокоуровневых моделей синтезаторов частот во временной и частотной областях, предназначенных для расчетов основных характеристик синтезаторов и позволяющих существенно снизить трудоемкость этих расчетов.
4. Разработка методик, позволяющих на начальных этапах проектирования обоснованно выбирать схмотехнические решения блоков, входящих в состав как целочисленных, так и дробных синтезаторов частот.
5. Применение и проверка разработанных методик и моделей в ходе проектирования высокочастотных широкополосных КМОП СФ-блоков синтезаторов частот, а также испытание изготовленных СФ-блоков с целью подтверждения требуемых характеристик.

Научная новизна диссертации

1. Предложено и обосновано введение параметра обобщенной дифференциальной нелинейности, характеризующего качество преобразования входных сигналов частотно-фазового детектора в выходной ток и пригодного для построения поведенческой модели этого детектора. Использование поведенческой модели частотно-фазового детектора вместо транзисторной позволило снизить время расчетов переходных процессов целочисленных и дробных синтезаторов частот на порядок.
2. Разработана общая методика расчета количественной меры (джиттера) отклонения периода синтезируемого сигнала с выхода генератора, управляемого напряжением, от требуемой частоты. Методика предусматривает использование поведенческой модели блока частотно-фазового детектора (см. п.1), а также табличной модели этого блока, которая отличается от известных моделей возможностью задания точек данных переходных характеристик частотно-фазового детектора. Методика позволяет на начальных этапах проектирования обоснованно выбирать схемотехнические решения частотно-фазового детектора с токовым выходом в составе синтезатора частот, что способствует улучшению технических характеристик разрабатываемого синтезатора частот.
3. Разработан метод оптимизации дифференциальных каскадов по критерию достижения наибольшего усиления на заданных частотах при ограничении тока потребления и занимаемой площади на кристалле. На основе данного метода разработана методика проектирования широкополосного делителя частоты для дифференциальных схем с переключением токов. Применение данной методики позволило обеспечить широкую полосу рабочих частот (до 5 ГГц) при допустимом повышении потребляемой мощности синтезаторов частот.

Практическая значимость результатов диссертации

1. На основе предложенных методик и моделей разработаны высокочастотные широкополосные СФ-блоки целочисленных и дробных синтезаторов частот с диапазоном рабочих частот до 5 ГГц (при чувствительности до 0 дБм), которые не имеют КМОП аналогов среди зарубежных микросхем и СФ-блоков, изготовленных по субмикронным технологиям с проектными нормами 0,18 мкм и более.
2. Предложено уточнение определения граничной рабочей частоты частотно-фазового детектора с токовым выходом, позволяющее более корректно проводить расчет основных характеристик СЧ.
3. В базе данных САПР Cadence создан набор библиотечных элементов, предназначенный для использования в целочисленных и дробных СЧ.
4. Разработаны модели и методики расчета технических характеристик ФАПЧ, которые могут быть использованы для повторного проектиро-

вания синтезаторов частот в рамках других проектно-технологических норм.

5. Результаты диссертации внедрены в ГУП НПЦ «ЭЛВИС» при разработке СБИС ФАПЧ для синтезаторов частот, что подтверждается соответствующим актом о внедрении.

Результаты диссертации, выносимые на защиту

1. Методика моделирования синтезаторов частот на основе поведенческой макромоделли с использованием параметра обобщенной дифференциальной нелинейности блока частотно-фазового детектора с токовым выходом, а также его табличной макромоделли.
2. Метод оптимизации дифференциальных каскадов по критерию достижения наибольшего усиления на заданных частотах и разработанная на его основе методика проектирования широкополосного делителя частоты с использованием схем с переключением токов.
3. Результаты практического применения разработанных методик проектирования, эффективность которых подтверждена при создании высокочастотных широкополосных КМОП СФ-блоков целочисленных и дробных синтезаторов частот на основе ФАПЧ с требуемыми количественными и качественными характеристиками.

Апробация диссертации

Основные положения диссертации докладывались и обсуждались на следующих научно-технических конференциях и семинарах:

- Научно-техническая конференция «Электроника, микро- и наноэлектроника»: 2004 г. (г. Н. Новгород), 2005 г. (г. Вологда), 2006 г. (г. Гатчина), 2007 г. (г. Пушкинские горы), 2008 г. (г. Петрозаводск).
- Научные сессии МИФИ, проводимые с 2005 г. по 2008 г.

Результаты диссертации были использованы при проведении ОКР «Синтетик-2» по разработке СБИС типа “система на кристалле” схемы ФАПЧ для синтезаторов частот.

Публикации

Основные результаты диссертации опубликованы в 11-ти работах (из них 8 без соавторов) в период с 2004 по 2008 гг., в том числе одна статья в издании из перечня ВАК России.

Структура и объем диссертации

Диссертация состоит из введения, четырех глав, заключения, списка литературы и приложения. Диссертация содержит 175 страниц, включая список литературы и приложение, 71 рисунок, 19 таблиц. Список литературы включает 129 наименований.

Содержание диссертации

Введение

Во введении обоснована актуальность темы, определена цель диссертации. Приведена постановка задач и сформулированы основные положения, выносимые на защиту. Сформулированы научная новизна и практическая ценность диссертации.

1. Анализ характеристик современных устройств ФАПЧ, методов и средств их проектирования

Области применения синтезаторов частот на основе ФАПЧ

С помощью систем ФАПЧ осуществляют операции умножения и деления частоты. Синтезаторы синхронизирующих сигналов и генераторы программируемых радио частот - две основные функциональные группы ФАПЧ-СЧ. СЧ содержит частотно-фазовый детектор (ЧФД), делители частоты, контурный фильтр низких частот (ФНЧ), а также генератор, управляемый напряжением (ГУН) (рис.1).



Рис.1. Упрощенная структурная схема целочисленного ФАПЧ-СЧ

Рассматриваемые в работе СЧ относятся к классу устройств со смешанной обработкой сигналов. Объектом исследования диссертации являются СБИС ФАПЧ, которые используют внешние ФНЧ и ГУН, и включают в себя ЧФД с токовым выходом, в состав которого входит зарядно-разрядный блок (ЗРБ) – конструктивно выделенная часть детектора, выполняющая функцию преобразования сигналов детектора в выходной ток. Особое внимание в диссертации уделено проектированию блоков в составе аналоговой части СЧ: предварительному делителю частоты (ПДЧ) и ЧФД с токовым выходом (рис.1).

Анализ характеристик. Классификация устройств ФАПЧ

В диссертации даны определения основным техническим характеристикам ФАПЧ. Произведена классификация устройств ФАПЧ-СЧ по принципу работы. Рассмотрены преимущества и недостатки целочисленных и дробных СЧ. Отмечена перспективность реализации комбинированных ФАПЧ-СЧ с учетом особенностей и обеспечением возможности работы в режиме целочисленного и дробного умножения опорной частоты.

Современный уровень разработок устройств ФАПЧ

Современные вычислительные системы, включающие устройства передачи и обработки данных демонстрируют возрастающие потребности в СЧ. Предлагаемые мировым рынком СБИС ФАПЧ (целочисленные и дробные) изготавливаются по субмикронным технологиям (КМОП, КНИ, БиКМОП) с нормами не хуже 0,5 мкм и различаются по ряду параметров (уровню фазовых шумов, диапазону рабочих частот, потребляемой мощности, диапазону выходных рабочих напряжений и т.д.), а также по функциональным возможностям. Эти различия связаны с разнообразием областей их применения при построении различных СЧ. Достижение требуемых характеристик “заказных” блоков ПДЧ, ЧФД является наиболее сложной задачей, в то время как цифровые блоки СБИС могут проектироваться стандартными методами и средствами.

Проведенный анализ номенклатуры серийно выпускаемых микросхем ФАПЧ, являющихся потенциальными аналогами проектируемых ФАПЧ, позволил выявить следующие их основные особенности:

- большинство микросхем имеют несимметричный токовый выход ЧФД;
- предусмотрена возможность дискретного и плавного регулирования тока в широком диапазоне выходных рабочих напряжений ЗРБ (более $0,75 \cdot V_{dd}$), где V_{dd} – напряжение питания ЗРБ;
- для производства микросхем СЧ используются фирменные запатентованные технологии изготовления СБИС, как правило, с применением комбинированных структур биполярных и комплементарных МОП-транзисторов;
- диапазон рабочих частот выпускаемых микросхем ФАПЧ-СЧ составляет 2-8 ГГц в зависимости от назначения.

Ведущие фирмы-производители серийных микросхем ФАПЧ-СЧ на сегодняшний день не используют для производства объемную КМОП технологию. ФАПЧ-СЧ, изготовленные по КМОП технологии, как правило, представляют собой СФ-блоки, предназначенные для интеграции в СБИС СнК (приемник, передатчик радиосигнала). Часто разрабатываемые СФ-блоки ФАПЧ являются специализированными или же предназначены для использования только в рамках определенного стандарта связи. Диапазон рабочих частот таких ФАПЧ составляет сотни МГц, что ограничивает возможности применения данных СФ-блоков. Для ряда разработок КМОП ФАПЧ не указываются характеристики ЧФД и ЗРБ: диапазон выходных рабочих напряжений блока, вольтамперная и передаточная характеристики. Не приводятся также обоснования выбора используемых схем.

Проведенный анализ характеристик ФАПЧ-СЧ позволил выявить те из них, улучшение которых представляет наибольшие трудности при использовании КМОП технологии изготовления СБИС. В этой связи сформулированы перспективные направления работ при создании отече-

ственных СФ-блоков СЧ, изготавливаемых по объемной КМОП технологии, с учетом возможности совмещения принципов работы целочисленных и дробных СЧ в одном СФ-блоке:

- расширение диапазона рабочих частот высокочастотного (ВЧ) тракта (делителя частоты ГУН);
- уменьшение уровня фазовых шумов (джиттера) синтезируемого сигнала;
- уменьшение потребляемой мощности и площади СФ-блока, занимаемой им на кристалле;
- увеличение диапазона рабочих частот ЧФД;
- увеличение диапазона выходных рабочих напряжений ЗРБ;
- расширение функциональных возможностей СЧ.

Автором были рассмотрены известные методы и средства проектирования ФАПЧ на предмет их доступности для модификаций и возможности непосредственного использования при проектировании СЧ. Отмечены их недостатки. Методы расчета фазовых шумов (джиттера), разработанные для установившихся состояний и используемые в таких симуляторах, как SpectreRF, характеризуются временами расчетов на транзисторном уровне от единиц до десятков часов и не являются пригодными для моделирования схем ФАПЧ-СЧ с дробным коэффициентом умножения частоты. Существенное сокращение времени расчетов может быть достигнуто за счет использования имитационных макромоделей. Встроенные в САПР макромоделели не учитывают переходные процессы при переключениях ЧФД, что не позволяет исследовать их влияние на джиттер СЧ. Возможности предлагаемых фирмами-производителями микросхем ФАПЧ программ расчета характеристик СЧ на их основе являются ограниченными при разработке собственных СФ-блоков ввиду индивидуальных особенностей последних.

Таким образом, для достижения заявленной в диссертации цели необходима разработка собственных методов и средств проектирования, которые позволили бы обеспечить высокие технические характеристики ФАПЧ-СЧ в новых условиях – при использовании стандартного объемного КМОП технологического процесса изготовления СБИС.

2. Анализ способов улучшения основных характеристик блоков в составе аналоговой части синтезаторов частот

Технические усовершенствования ФАПЧ-СЧ

Рассмотрены и проанализированы алгоритмические, схемотехнические и конструктивные методы улучшения технических характеристик СЧ, которые встречаются в публикациях последних лет.

Выделены составляющие погрешностей ФАПЧ-СЧ с учетом конкретной архитектуры СЧ. Установлено, что вклад блоков ПДЧ, приемника и делителя опорной частоты (ДОЧ), цифровых счетчиков в составе дели-

телей, а также ЧФД в основном представлен низкочастотными составляющими шума фазы ГУН в составе ФАПЧ-СЧ. На основе полученных данных выявлены перспективные схемотехнические решения блоков, входящих в состав СЧ, отвечающих тенденциям частотного синтеза по методу фазовой автоподстройки частоты, а также наиболее перспективные способы улучшения их технических характеристик.

В диссертации проведен анализ характеристик схемы *импульсного частотно-фазового детектора* с регулируемым токовым выходом, широко известного как *частотно-фазовый детектор с третьим состоянием (tristate pfd)*. В известной автору литературе приведено соотношение между временем задержки ($\tau_{\text{ЧФД}}$) установочной цепи такого ЧФД и его *граничной рабочей частотой* ($f_{\text{ЧФД макс}}$):

$$f_{\text{ЧФД макс}} < 1/(4\tau_{\text{ЧФД}}).$$

Однако данное соотношение не учитывает инерционность источников тока ЗРБ. При стандартном определении граничной рабочей частоты считается, что $f_{\text{ЧФД макс}}$ достигнуто, если искажения передаточной характеристики $\overline{I_{\text{ЧФД}}}(\Delta\varphi)$ блока имеют форму, изображенную на рис.2 (а). Здесь $\overline{I_{\text{ЧФД}}}$ - средний ток, $\Delta\varphi$ - приложенная разность фаз входных сигналов детектора. На рис.2 (б) показан случай, для которого $f_{\text{ЧФД}} < f_{\text{ЧФД макс}}$ и источники тока ЗРБ имеют время установления ($t_{\text{уст}}$) тока $I_{\text{ЧФД}}$, сопоставимое с периодом входного сигнала ЧФД. Пунктирной линией показана идеальная передаточная характеристика блока. Стрелка указывает направление, в котором меняется наклон передаточной характеристики ЧФД при увеличении $t_{\text{уст}}$. На основании выражений для передаточной функции ФАПЧ в частотной области делается заключение о пропорциональности полосы пропускания контура ФАПЧ ($\Delta W_{\text{ФАПЧ}}$) наклону передаточной характеристики ЧФД. Это приводит к изменению времени переключения СЧ на новую частоту и джиттера сигнала ГУН.

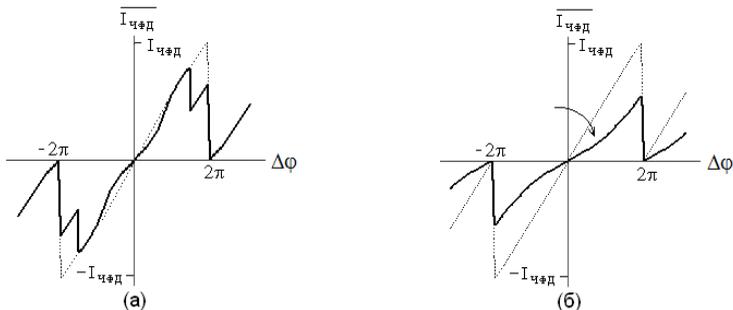


Рис.2. Передаточные характеристики ЧФД: а) искажения характеристики вследствие нарушения известного соотношения для $f_{\text{ЧФД макс}}$, б) искажения характеристики без нарушения соотношения, при $t_{\text{уст}} \approx (1/f_{\text{ЧФД}})$

Граничной рабочей частотой блока автором предлагается считать наибольшую из рабочих частот $f_{\text{ЧФД}}$, при которой наклон [А/рад] передаточной характеристики в полосе захвата ($\Delta\Phi$) детектора отличается от идеального не более чем на δ_i %. Типовые значения величины δ_i зависят от требуемых параметров точности синтезируемого сигнала и времени переключения на новую частоту. Например, несоответствие величины параметра $f_{\text{ЧФД макс}}$ с классическим его определением встречается в спецификациях на ФАПЧ-СЧ фирмы Analog Devices. Однако при разработке собственных СЧ, учитывая возможность их использования в качестве синтезаторов сигналов с линейной частотной модуляцией требуется строгое соблюдение как стандартного определения параметра $f_{\text{ЧФД макс}}$, так и введенных автором уточнений.

В тексте диссертации представлен обзор и сравнение схемотехнических решений ЗРБ для различных типов ФАПЧ-СЧ, в основном изготовленных по КМОП технологиям. На основании литературных данных делается вывод о том, что различие в использовании схем ЗРБ не связано с типом СЧ (целочисленным или дробным). В доступных источниках информации мало внимания уделяется методикам выбора конкретной структуры ЗРБ в зависимости от типа СЧ. Кроме того, существуют противоречивые рекомендации по оценке быстродействия схем ЗРБ и требований к ним. Обзор доступных источников информации позволил выявить наиболее удачные схемы ЗРБ для широкополосных СФ-блоков СЧ: каскодные схемы ЗРБ с ключами со стороны стоковой или истоковой области “тоководводящего” транзистора.

В диссертации рассмотрены *компромиссы* и способы их достижения при проектировании ЧФД. Автором предлагается использовать оценочные выражения для установления количественной связи между характеристиками блока ЧФД и параметрами технологии изготовления СБИС с учетом привязки к конкретной схеме ЗРБ. С помощью приведенных в диссертации аналитических соотношений предлагается устанавливать связь между следующими параметрами ЗРБ:

- диапазон выходных рабочих напряжений ($\Delta U_{\text{вых}}$),
- амплитуда тока заряда/разряда ($I_{\text{ЧФД}}$),
- потребляемая мощность,
- площадь, занимаемая на кристалле,
- нелинейность передаточной характеристики,
- время установления тока заряда/разряда.

Последние два параметра из приведенного списка ввиду сложности рекомендуется вычислять при помощи ЭВМ. В гл. 3 диссертации для установления связи между динамическими характеристиками ЧФД с токовым выходом предлагается использовать методику моделирования, в основе которой лежат разработанные автором модели.

Предварительный делитель частоты. Анализ способов реализации.

В работе произведен анализ существующих подходов и достижений в области разработок делителей частоты, изготовленных по КМОП технологии, который позволил сделать выводы о наиболее рациональном способе построения схемы ПДЧ. Для этого были рассмотрены ПДЧ с переменным коэффициентом (P) деления частоты, включая:

1. Двухмодульные структуры со смежными коэффициентами деления $P/(P+1)$, где $P=2^n$, n – натуральное число.

2. Многомодульные структуры, для которых $P \in [Q, R]$, где Q и R – натуральные числа ($Q < R$).

В диссертации указаны преимущества и недостатки синхронно-асинхронных структур ПДЧ, а также полностью асинхронных ПДЧ на основе схем с коммутацией фаз. Эти две структуры являются пригодными для использования в высокочастотных широкополосных СФ-блоках СЧ. При интеграции ПДЧ в СБИС была использована структура синхронно-асинхронного ПДЧ, обладающая наибольшей устойчивостью к помехам и высоким быстродействием по сравнению со структурой полностью асинхронных ПДЧ.

На рис.3 изображена структурная схема спроектированного ПДЧ, в основе которого приемник тактового сигнала и быстродействующее синхронное ядро с коэффициентами деления 4 и 5. Схема ПДЧ, разработанная автором, состоит из 7-ми триггеров и 8-ми логических вентилей и отличается от типовой за счет использования большего числа выходов $Q_1 \dots Q_5$ и их мультиплексирования, что позволяет расширить набор возможных коэффициентов деления частоты с 8-ми до 10-ти.



Рис.3. Структурная схема разработанного делителя частоты

Выбор схемы логических элементов проводился исходя из возможностей технологии изготовления СБИС. На основе проведенного анализа быстродействия в диссертации обосновывается выбор логики на пере-

ключателях тока (ЛПТ). Проведенное компьютерное моделирование подтвердило оправданность выбора в качестве базового логического элемента ПДЧ ячейки на переключателях тока с резистивной нагрузкой в задачах проектирования схем с предельными частотами переключений. Кроме того, дополнительным аргументом в пользу ЛПТ является потенциально высокая помехозащищенность благодаря использованию дифференциальных каскадов. Однако такие схемы имеют ограничения по занимаемой площади на кристалле и потребляемой мощности.

На высших рабочих частотах ($f_B \sim 5 \dots 6$ ГГц) делитель устойчиво работает даже без предварительного усиления. Снижение скорости изменения дифференциального сигнала синхронизации на нижних частотах (сотни МГц) приводит к снижению усиления на нижних частотах и сбоям в работе ПДЧ. Расширение рабочей области в сторону низших частот за счет потребляемой мощности и площади не является перспективным способом достижения работоспособности в широкой полосе частот. Таким образом, возникает необходимость в использовании предварительного усилителя с неравномерной АЧХ, – приемника тактового сигнала (ПТС) и в поиске варианта, компромиссного по потребляемой мощности, максимальной частоте переключений (f_B) и по диапазону рабочих частот (Δf_{BX}) ПДЧ.

Характеристики ЛПТ элементов и методы их проектирования являются предметом ряда научных исследований, которые, однако, не дают достаточной информации для оптимального выбора числа каскадов, их параметров и электрического режима. При проектировании приемника тактового сигнала, интегрированного в состав ПДЧ, был использован разработанный *метод оптимизации дифференциальных каскадов*, пригодный для решения задач оптимального проектирования различных схем на элементах ЛПТ. Метод оптимизации основан на поиске максимального усиления на заданной частоте f исходя из коэффициента усиления K_u дифференциального каскада (рис.4), который для малого сигнала представлен в виде функции интегрирующего звена. При расчете K_u принято во внимание ограничение логического перепада ($\Delta U_{\text{МАКС}} = I_{\text{СМ}} \cdot R$), где R – номинал сопротивления нагрузочного резистора, $I_{\text{СМ}}$ – ток смещения каскада. Суть метода заключается в поиске максимума функции $|K_u|^2$ по переменным R или C для заданной частоты $\omega = \omega_0$, далее называемой собственной частотой каскада:

$$|K_u|^2 = \gamma \frac{RC}{(\omega R(C + C_H))^2 + 1}, \quad \gamma = \frac{\beta_0}{(1 + \eta) \cdot C_d} \cdot \frac{\Delta U_{\text{МАКС}}}{L},$$

где C и C_H – собственная выходная емкость каскада и емкость нагрузки, $\omega = 2\pi f$ – циклическая частота сигнала, C_d – погонная емкость диффузионной области стока на один мкм, β_0 – удельная крутизна ВАХ транзистора $M_1(M_2)$ при равных значениях ширины и длины ($W_0 = L_0 = 1 \text{ мкм}$), η – коэф-

фициент влияния подложки, L – минимальная для заданной технологии длина канала. Значения I_{CM} , W определяются через отношения пропорциональности, где W – ширина транзистора $M_1(M_2)$. В отличие от известных автору подходов оптимизация производится по двум переменным и с учетом как ограничений на электрические характеристики (ток потребления каскада), так и топологических ограничений (допустимая площадь, занимаемая каскадом на кристалле). При использовании предложенного метода было установлено, что для обеспечения работоспособности ПДЧ в широком диапазоне входных частот имеет смысл оптимизация последовательных каскадов на различные частоты ω_0 .

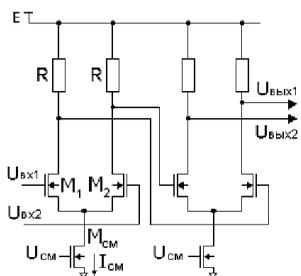


Рис.4. Усилительные каскады в ВЧ-тракте

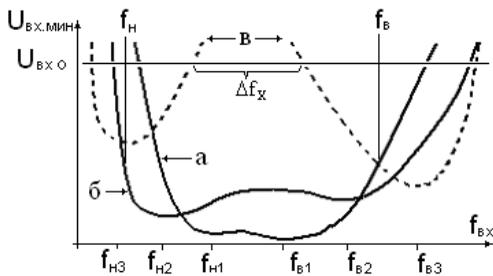


Рис.5. Оптимизируемые кривые входной чувствительности

Полученные значения для I_{CM} , W , R служат ориентиром на начальном этапе разработки ЛПТ-элементов. Однако использованные при расчетах выражения не учитывают особенностей большого сигнала, поэтому полученные результаты должны проверяться на этапе машинного моделирования электрической схемы во временной области. Проверка происходит после регистрации зависимости входной чувствительности $U_{BX,MIN} = U_{BX1} - U_{BX2}$ от частоты входного сигнала f_{BX} для схемы ПДЧ с предварительным усилителем. На рис.5 показаны графики $U_{BX,MIN}(f_{BX})$ при использовании двухкаскадного усилителя для различных ситуаций, возникающих при оптимизации: на частотах $\{f_{N1}, f_{B1}\}$ (а), $\{f_{N2}, f_{B2}\}$ (б), $\{f_{N3}, f_{B3}\}$ (в), где f_{Ni} , f_{Bi} – собственные частоты для первого и второго каскадов, соответственно. Требования к характеристикам блока изображены в виде минимального уровня входного сигнала U_{BX0} и диапазона рабочих частот $f_N \dots f_B$. Требованиям удовлетворяет только график (б), соответствующий собственным частотам каскадов f_{N2} и f_{B2} .

Автором предлагается **методика проектирования широкополосного ПДЧ** на основе разработанного метода оптимизации дифференциальных каскадов (рис.6).

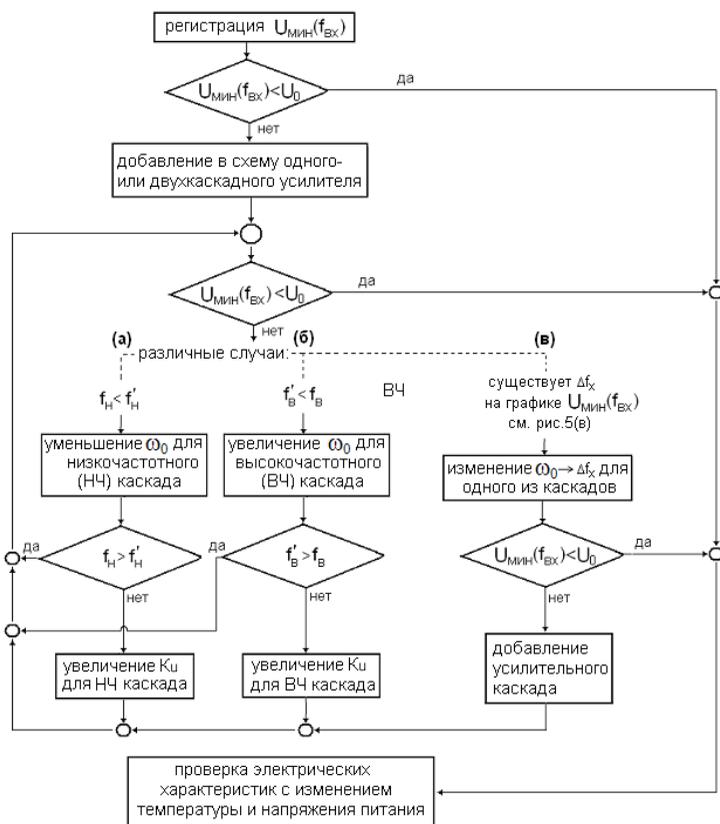


Рис.6. Алгоритм методики проектирования ПТС для ПДЧ

Суть методики заключается в поиске собственных частот каскадов ω_0 , при которых диапазон рабочих частот и потребляемая мощность удовлетворяют заданным требованиям. На рис.5 f_n и f'_b – нижняя и верхняя частоты рабочего диапазона схемы ПДЧ совместно с ПТС. Произведенное компьютерное моделирование входной чувствительности ПДЧ подтвердило предположение о целесообразности равномерного распределения результирующего коэффициента усиления каскадов в рабочем диапазоне частот. Разработанная методика проектирования высокочастотного широкополосного ПДЧ представляет собой сочетание аналитического расчета параметров усилительных каскадов с компьютерным расчетом электрической схемы.

С использованием данной методики был разработан широкополосный ПДЧ, который совместно с цифровыми счетчиками образует делитель частоты с возможностью выбора любого коэффициента деления в

диапазоне $4 \dots P \cdot 2^N + 2^M$, где N и M – разрядности счетчиков. Схема содержит улучшения на структурном уровне, позволившие расширить диапазон коэффициентов умножения частоты широкополосных СЧ. В диссертации приведены расчетные характеристики ПДЧ в сравнении с уже известными схемами. Показано, что данную разработку от ближайших КМОП аналогов выгодно отличают ее функциональные, а также электрические характеристики: частотный диапазон 0,1...5,0 ГГц с чувствительностью до 0 дБм для синусоидального сигнала, потребляемая мощность не более 60 мВт.

3. Выскоуровневые модели СЧ. Методика проектирования СБИС ФАПЧ

Обобщенные модели ФАПЧ-СЧ. В настоящее время множество фирм-производителей и отдельных разработчиков СЧ предлагают программные средства для расчета характеристик устройств по заданным требованиям технического задания. В ходе проектирования собственных систем ФАПЧ возникает задача разработки также и собственных средств расчета электрических параметров СЧ. Во-первых, такая постановка задачи связана с необходимостью разработки СБИС в едином цикле проектирования с использованием стандартных программ моделирования. Во-вторых, часто нужно иметь возможность редактирования моделей ФАПЧ в связи с необходимостью учета дополнительных требований при разработке собственных систем СЧ. Кроме того, доступные программы расчета характеристик СЧ, предоставляемые фирмами-производителями микросхем, такими как Analog Devices, не пригодны для предварительного расчета характеристик собственных разработок СЧ, поскольку не могут учитывать индивидуальных параметров разрабатываемых схем ЧФД ($\Delta U_{\text{вых}}$, $I_{\text{чФД}}$, $\tau_{\text{чФД}}$), функциональных и частотных параметров ПДЧ и цифровых схем делителей частоты в составе СБИС СЧ.

При моделировании ФАПЧ на транзисторном уровне в среде САПР время моделирования составляет десятки часов из-за большого числа переключений. По этой причине возникает необходимость создания простых высокоуровневых моделей устройства, позволяющих разрабатывать СЧ с требуемыми параметрами и делать предварительную оценку функциональных характеристик (диапазон синтезируемых частот, точность, время переключения на новую частоту и др.).

Модель ФАПЧ в частотной области усовершенствована автором и обеспечивает возможность выбора двух типов контурных фильтров и записи рассчитанных параметров в файл в виде, пригодном для разрабатываемых поведенческих моделей. Модель доступна для редактирования и предоставляет возможность выбора основных параметров функциональных блоков СЧ на этапе предварительного проектирования системы

ФАПЧ. Для ФАПЧ-СЧ достаточно использовать ФНЧ не выше третьего порядка. Поэтому в разработанные модели ФАПЧ заложены выражения трансимпедансов наиболее популярных структур пассивных ФНЧ. Например, для разомкнутого контура ФАПЧ четвертого порядка коэффициент передачи имеет вид:

$$G_{bc}(s) = \frac{I_{\text{ФД}} S_{uz}(s) \cdot K_{\text{ГУН}}}{s \cdot K}, \quad S_{uz}(s) = \frac{U_{\text{УПР}}(s)}{I_{\text{ФД}}(s)} = \frac{(1 + sR_d C_d)}{s^2 R_d C_1 C_d + s(C_1 + C_d)} \parallel \left[\left(R + \frac{1}{sC_2} \right) \cdot \frac{1}{sC_2 R + 1} \right],$$

где $K_{\text{ГУН}}$ – крутизна вольт-частотной характеристики ГУН, K – коэффициент умножения опорной частоты; R , R_d и C_1 , C_2 , C_d – параметры элементов ФНЧ; $s = j2\pi f$, f – частота изменения фазы входного сигнала ЧФД.

В литературе встречаются методики расчета ФАПЧ, в которых передаточная функция отличается от приведенной в тексте диссертации, поэтому для проверки правильности модели в частотной области, а также в целях эффективного и быстрого моделирования ФАПЧ, необходимо было решить задачу создания поведенческой модели СЧ во временной области. В отличие от обобщенной модели в частотной области поведенческая модель во временной области должна учитывать особенности отдельных блоков и СЧ в целом, и поэтому не может быть построена на основе только известных из литературы моделей. В диссертации рассматриваются возможности решения задачи с помощью различных программных средств и обосновывается выбор языка Verilog-AMS для описания поведенческой модели ФАПЧ-СЧ.

Разработанные поведенческие модели во временной области использовались для проверки расчетов амплитуды тока корректирующего ЦАП в схеме дробного ФАПЧ-СЧ с аналоговой коррекцией фазовой ошибки, а также для определения оптимальной формы корректирующего импульса тока. В частности было выяснено, что алгоритм аналоговой компенсации работает наиболее эффективно, если импульс тока корректирующего ЦАП перекрывает импульс ЗРБ. Также установлено, что уменьшение длительности импульса при условии сохранения компенсирующего заряда положительно влияет на уменьшение джиттера ФАПЧ-СЧ с аналоговым способом коррекции фазовой ошибки. Проведенное с помощью разработанных моделей сравнение структур дробного СЧ на основе цифрового сигма-дельта ($\Sigma\Delta$) модулятора и дробного СЧ с корректирующим ЦАП позволило обосновать выбор как наиболее перспективной структуры СЧ с $\Sigma\Delta$ -модулятором.

Моделирование синтезаторов частот с использованием новой методики на основе поведенческой и табличной макромодели частотно-фазового детектора. В источниках литературы даются рекомендации относительно переходных характеристик ЧФД-ЗРБ и предлагаются схемотехнические решения для уменьшения импульсных помех при переключении ключей ЗРБ. Количественных оценок влияния переходных про-

цессов в ЧФД с токовым выходом на дребезг фазы ГУН в доступных источниках информации не приводится. Выбор наиболее удачного схемотехнического решения, подходящего для реализации СЧ с требуемыми характеристиками при использовании стандартных имитационных моделей весьма затруднителен, поскольку эти модели содержат информацию только о передаточной характеристике блока, которая является интегральной характеристикой и не предоставляет данных о переходных процессах (выброс, неравномерность плоской вершины импульса тока) при переключениях ЧФД. Данное обстоятельство является существенным недостатком при проектировании ФАПЧ на основе стандартных моделей.

Для расчета джиттера СЧ автором предложена и обоснована новая модель блока ЧФД, отличающаяся от известных моделей. Ее основным достоинством является возможность задания передаточной функции ЧФД в виде переходных характеристик тока $I(t)$ для дискретного набора разностей фаз $\Delta\varphi$ входных сигналов ЧФД. На рис.7 показана передаточная характеристика ЧФД, положенная в основу классической модели и не учитывающая различий в переходных процессах ЧФД.

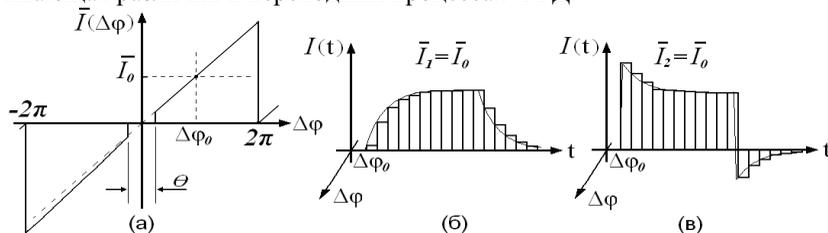


Рис.7. Передаточная характеристика классической (а) модели ЧФД и примеры различных зависимостей $I(t)$ табличной модели (б, в), соответствующих точке $\bar{I}_0(\Delta\varphi_0)$

Разности фаз $\Delta\varphi$, представляющие наибольший интерес, находятся в полосе захвата ЧФД. Набор данных $\{I, t, \Delta\varphi\}$ (фазо-временная характеристика ЧФД) получается при моделировании переходных процессов транзисторной модели блока и хранится в текстовом файле. Для стандартных макромоделей от фирмы ADS – ведущего поставщика САПР для разработки систем ФАПЧ возможен учет следующих характеристик:

- чувствительности для каждого из токовых выходов (А/рад), а также величины “зоны нечувствительности” ЧФД (рад);
- зависимости величины среднего тока от выходного напряжения в аналитическом виде;
- среднеквадратического отклонения фазы входного сигнала (джиттера)

Необходимость в задании первых двух характеристик отпадает в табличной макромоделе, в которой передаточная характеристика хранит-

ся в виде точек данных, полученных на основании транзисторного моделирования. Возможность задания переходных характеристик в табличном виде решает задачу точного описания множества импульсных откликов $I(t)$ в интересующей полосе $\Delta\varphi$, что позволяет учитывать переходные процессы при переключении ЧФД.

Методика расчета джиттера ФАПЧ состоит из нескольких основных этапов.

Этап 1. Расчет параметров СЧ. Для проверки корректности выбора параметров СЧ и расчета рабочей точки на первом этапе используются разработанные автором макромодели ФАПЧ. С помощью доступных алгоритмов производится расчет параметров ФНЧ, с использованием разработанной частотной модели СЧ производится проверка устойчивости ФАПЧ, и на основании анализа импульсной характеристики системы принимается решение о необходимости корректировки параметров СЧ. После этого происходит генерация файла с моделью ФНЧ для моделирования во временной области СЧ, описанного на языке Verilog-AMS. Целью предварительного моделирования СЧ является проверка времени установления СЧ, а также настройка программного теста для уменьшения времени расчета, требуемого для вхождения СЧ в режим.

Этап 2. Моделирование СЧ во временной области с учетом нелинейности передаточной характеристики ЧФД. В поведенческую макромодель ЧФД закладываются электрические параметры, полученные в результате характеризации транзисторной схемы с помощью предварительного разработанных тестов. Для учета качества преобразования разности фаз в выходной ток автором предлагается ввести **параметр обобщенной дифференциальной нелинейности** передаточной характеристики ЧФД, используемый в поведенческой модели. Пусть Δt_i – шаг регистрации передаточной характеристики, $\Delta\varphi_i$ – разность фаз, эквивалентная временному интервалу ($\Delta\varphi_i = i \cdot \Delta t_i$), где i – индекс отсчетов шага регистрации передаточной характеристики. На рис.8 показано отклонение (I_{D_i}) передаточной характеристики $\overline{I_{\text{ЧФД}}}(\Delta\varphi)$ от идеальной на каждом i -м отсчете. Величину I_{D_i} изменения (с учетом знака) отклонения действительной характеристики преобразования $\overline{I_{\text{ЧФД}}}(\Delta\varphi)$ от идеальной при переходе от одного значения входной разности фаз $\Delta\varphi_i$ к другому смежному значению автором предлагается называть обобщенной дифференциальной нелинейностью преобразования разности фаз в ток блоком ЧФД.

Дифференциальная нелинейность использована для описания импульса тока $I(t)$ во времени:

$$I_i = I_{\text{ЧФД}} + \sum_{i=1}^i I_{D_i}, \text{ при } \Delta\varphi > 0; I_i = -I_{\text{ЧФД}} + \sum_{i=1}^i I_{D_i}, \text{ при } \Delta\varphi < 0.$$

Здесь i - индекс отсчетов шага моделирования ($\Delta t_{\text{ш}}$). Индексы отсчитываются от середины передаточной характеристики ЧФД, поскольку данные для моделирования берутся для каждого из токов заряда/разряда в отдельности. На рис.9 показаны временные диаграммы работы ЧФД с использованием передаточной характеристики ЧФД, изображенной на рис.8, t_i -текущее время моделирования, соответствующее i -му шагу. В поведенческую модель вводится также время задержки T_3 импульса тока (рис.8) от момента поступления отрицательного перепада одного из входных сигналов ЧФД.



Рис.9. Временные диаграммы работы макромодели ЧФД с учетом дифференциальной нелинейности I_{D_i} , Φ_0 и Φ_{OC} - входные сигналы ЧФД

Рис.8. Фрагмент передаточной характеристики ЧФД

При моделировании во временной области непосредственная подстановка фазо-временной характеристики ЧФД возможна только после вычисления времени запаздывания или опережения фазы $\Delta\varphi$, что внесет погрешность в результаты расчета. Использование передаточной характеристики ЧФД с учетом ее дифференциальной нелинейности на каждом шаге моделирования дает возможность формирования выходного тока с незначительной задержкой, равной шагу моделирования $\Delta t_{\text{ш}}$. Для учета источников шумов ФАПЧ, приведенных ко входу ЧФД, предлагается использовать случайный генератор дискретных задержек с заданным параметром среднеквадратического отклонения σ_d . В модель генератора необходимо закладывать данные, полученные в ходе испытаний образцов ФАПЧ-СЧ.

Этап 3. Запись в файл разностей фаз при работе ФАПЧ-СЧ в установившемся режиме. На данном этапе после установления сигнала индикатора захвата фазы (вхождения СЧ в требуемый режим) осуществляется запись в файл разностей фаз $\Delta\varphi$ входных сигналов ЧФД в моменты поступления фронта сигнала опорной частоты ЧФД.

Этап 4. Расчет джиттера ФАПЧ-СЧ. На завершающем этапе выполняется подстановка последовательности сохраненных значений $\Delta\varphi$ в

табличную модель ЧФД и запись управляющего напряжения ГУН в файл. Последующая обработка данных позволяет получать оценку влияния переходных процессов на дрейзг фазы синтезируемого сигнала.

Проверка предложенной методики расчета была проведена на тестовом примере при помощи моделирования переходных процессов схемы ФАПЧ-СЧ с использованием транзисторной модели ЧФД. Методика позволяет на начальных этапах разработки СЧ выбрать наиболее оптимальную схему ЧФД, включающую ЗРБ, при минимальных временных затратах. Применение методики расчета переходных процессов и джиттера СЧ с использованием разработанных моделей ЧФД, по оценкам автора, позволило сократить время расчета электрической схемы не менее чем в 10 раз при разработке блока ЧФД с токовым выходом для СЧ. В тексте диссертации приведены рекомендации по выбору ЗРБ для разных классов СЧ на основе данных, полученных в результате машинного моделирования на ЭВМ с использованием разработанных методик расчета.

Полученные автором результаты включены в маршрут проектирования высокочастотных широкополосных СФ-блоков СЧ. Основные пункты методики проектирования СФ-блоков СЧ следующие:

1. Расчет параметров ФАПЧ в частотной области с использованием разработанных математических моделей СЧ.

2. Расчет переходных характеристик СЧ с использованием поведенческой модели СЧ.

3. Установление количественной связи между характеристиками блока ЧФД с токовым выходом и параметрами технологии изготовления СБИС, расчет джиттера СЧ на основе разработанных моделей ЧФД.

4. Разработка высокочастотного широкополосного ПДЧ.

Использование разработанной методики проектирования позволяет существенно сократить время разработки ФАПЧ-СЧ для достижения требуемых характеристик.

Требования к СЧ в совокупности с информацией о характеристиках микросхем ФАПЧ зарубежных производителей позволили сформировать минимальный набор необходимых тестовых проверок для блоков, входящих в состав проектируемой СБИС. Автором разработан набор тестов для блоков в составе аналоговой части СБИС ФАПЧ, которые использовались при проектировании комбинированного СЧ (с дробным и целочисленным режимом работы), предназначенных для синтеза в полосе частот до 5 ГГц и разрабатываемых по стандартной КМОП технологии уровня 0,18 мкм. Тестовые скрипты для аналоговых блоков написаны на встроенном в САПР Cadence языке программирования SKILL. Использование разработанных тестов позволило автоматизировать методику программной аттестации СФ-блоков в ходе разработки и тем самым сократить время на перепроектирование устройств аналогичного класса при использовании КМОП технологии другого уровня примерно в два раза. В работе также

рассмотрены вопросы проектирования СЧ с учетом влияния паразитных параметров кристалла и корпуса на характеристики СЧ.

4. Разработанные устройства синтезаторов частот и результаты их экспериментальных испытаний

С использованием предложенных автором методик была разработана библиотека элементов, охарактеризованных по электрическим параметрам и используемых в целочисленных и дробных ФАПЧ-СЧ. В состав библиотеки входят следующие элементы:

- 1) Приемник сигнала опорной частоты (ПОЧ).
- 2) ПДЧ с коэффициентами деления: 4/5, 8/9, 16/17, 32/33, 64/65.
- 3) Импульсный ЧФД.
- 4) Устройство контроля работоспособности (индикатор “захвата фазы”).
- 5) Программируемый ЗРБ.
- 6) Управляемый источник опорного тока (ИОТ) для ЗРБ.
- 7) Делитель опорной частоты (ДОЧ).
- 8) Делитель с переменным коэффициентом деления (К).
- 9) Схема подавления помех дробности ($\Sigma\Delta$ -модулятор) с возможностью ее отключения при работе СЧ в целочисленном режиме.

Автором были разработаны принципиальные электрические схемы первых шести блоков из приведенного списка и топологии некоторых из них.

В ходе проведения работ по проектированию ФАПЧ были изготовлены два СФ-блока СЧ. Первый СФ-блок относится к классу целочисленных СЧ, второй (рис.10) является дробным СЧ, который может работать в целочисленном режиме, а также в режиме генератора сигналов с линейной частотной модуляцией. На рис.10 изображена структурная схема разработанного СФ-блока дробного СЧ. Эта схема является более общей в сравнении со структурной схемой целочисленного СЧ.

В диссертации приведены результаты измерений параметров изготовленного блока ЧФД с токовым выходом в сравнении с параметрами известных схем ЧФД. Описана реализация встроенных средств тестирования СБИС, предусматривающих следующие возможности:

- дискретное регулирование величины задержки ($\tau_{\text{ЧФД}}$) установочной цепи ЧФД;
- дискретное регулирование временного интервала τ в индикаторе “захвата фазы”;
- программирование модуля счета ($m=1\dots 255$) счетчика, отсчитывающего интервалы для формирования признака захвата частоты.

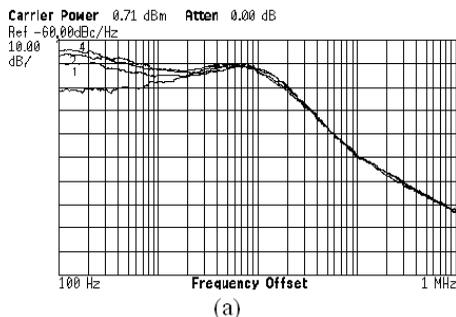


Рис.12. Измеренные фазовые шумы генератора в контуре ФАПЧ

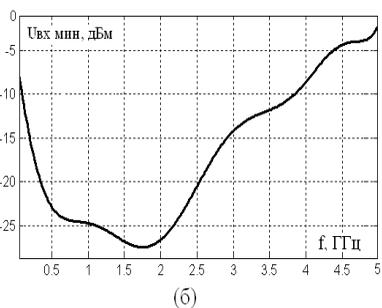


Рис.13. График входной чувствительности для ВЧ входа

В табл.1 представлены измеренные характеристики разработанной СБИС. Здесь Δf – диапазон частот для синусоидального сигнала с уровнем до 0 дБм, $L(f)$ – уровень фазового шума, P – значения коэффициентов деления частоты ПДЧ, $I_{УТ}$ – ток утечки ЗРБ в третьем состоянии, $\Delta U_{ВЫХ}$ – диапазон рабочих выходных напряжений ЗРБ, δI – относительный “разбаланс” выходных токов ЗРБ в статическом режиме.

Таблица 1

Сравнение характеристик СБИС целочисленного СЧ и ADF4106

Параметры СБИС ФАПЧ	Разработанная СБИС	ADF4106 (Analog Devices)
Δf , ГГц	0,1...5,0 (рис.13)	0,5...6,0
$L(f)$, дБн/Гц	-75...-65 (рис.12, верхняя кривая)	-80 (рис.12, нижняя кривая)
P , коэфф. деления	4/5-8/9-16/17-32/33-64/65	4/5-8/9-16/17-32/33
$f_{ЧФД \text{ макс}}$, МГц	140	56
$I_{ЧФД}^*$, мА	0,6...5,0; 3 бита	0,6...5,0; 3 бита
$I_{УТ}$, нА	1	1
$\Delta U_{ВЫХ}^{**}$, В	0,5...2,6	0,5...5,0
δI , %	5	2
Напряжение питания, В	1,8/3,3	2,7/3,3/5,5
Тип корпуса	TQFP-44	TSSOP-16
Технология изготовления	КМОП 0,18 мкм	БиКМОП

Примечания:

* – указана дискретность регулирования тока

** – параметр приведен для рекомендуемых производителем номиналов напряжений питания

Проведенные испытания разработанных СФ-блоков СЧ подтвердили их заявленные технические параметры. Разработанные ФАПЧ-СЧ являются первыми отечественными устройствами подобного класса, не имеют аналогов среди известных КМОП СЧ и сопоставимы по характеристикам с зарубежными БиКМОП микросхемами. Эти СЧ как СФ-блоки пригодны для использования в СБИС СнК в схемах синхронизации устройств широкого класса, а также приемо-передающих устройствах, или для самостоятельного применения (в виде микросхем).

Заключение

Основной результат диссертации заключается в развитии теории и создании методики проектирования высокочастотных широкополосных сложно-функциональных блоков синтезаторов частот с улучшенными качественными характеристиками и расширенными функциональными возможностями, а также в разработке на этой основе конкурентоспособных сложно-функциональных блоков синтезаторов частот, изготовленных по объемной КМОП технологии с проектными нормами 0,18 мкм и удовлетворяющих требованиям современной электронной компонентной базы.

Основной теоретический результат

В диссертации разработаны методики и модели, предназначенные для проектирования высокочастотных широкополосных КМОП сложно-функциональных блоков синтезаторов частот и позволяющие существенно сократить время разработки синтезаторов частот для достижения требуемых характеристик.

Частные теоретические результаты

1. Обосновано введение параметра обобщенной дифференциальной нелинейности, характеризующего качество преобразования входных сигналов частотно-фазового детектора в выходной ток и пригодного для построения поведенческой модели этого детектора. Использование поведенческой модели частотно-фазового детектора вместо транзисторной позволило снизить время расчетов переходных процессов целочисленных и дробных синтезаторов частот на порядок.

2. Разработана общая методика расчета джиттера выходной фазы генератора в составе синтезатора частот на основе табличной модели блока частотно-фазового детектора с токовым выходом, а также его поведенческой макромоделю с использованием параметра обобщенной дифференциальной нелинейности. Методика позволяет на начальных этапах проектирования обоснованно выбирать схемотехнические решения блока частотно-фазового детектора с токовым выходом в составе СЧ.

3. Разработан метод оптимизации дифференциальных каскадов по критерию достижения наибольшего усиления на заданных частотах при

ограничении тока потребления и занимаемой площади на кристалле. На основе данного метода разработана методика проектирования широкополосного делителя частоты для дифференциальных схем с переключением токов. Применение данной методики позволило обеспечить широкую полосу рабочих частот (до 5 ГГц) при допустимом повышении потребляемой мощности синтезаторов частот.

4. С использованием результатов всех выполненных в ходе работы исследований, включая методику расчета джиттера, сформулированы рекомендации по выбору структуры отдельных блоков, входящих в состав синтезаторов частот, с целью достижения требуемых высоких технических характеристик этих синтезаторов.

Основной практический результат

С использованием предложенных методик впервые разработаны и изготовлены отечественные синтезаторы частот на основе ФАПЧ с полосой рабочих частот 0,1...5,0 ГГц по объемной КМОП технологии с проектными нормами 0,18 мкм. Разработанные СФ-блоки целочисленного и дробного СЧ могут быть интегрированы в СБИС типа “система на кристалле”. СФ-блоки СЧ использованы в ГУП НПЦ «ЭЛВИС» при разработке СБИС ФАПЧ для радиолокационных и связных комплексов различного назначения и базирования, что подтверждается актом о внедрении.

Частные практические результаты

1. Создан набор библиотечных элементов для ФАПЧ-СЧ с дробным и целочисленным коэффициентами умножения частоты в базе данных САПР Cadence, содержащий следующие блоки: предварительный делитель частоты с приемником тактового сигнала, импульсный частотно-фазовый детектор с зарядно-разрядным блоком, приемник сигнала опорной частоты, индикатор захвата фазы.

2. Разработана схема синхронно-асинхронного предварительного делителя частоты, отличающаяся от известных схем расширенным набором доступных коэффициентов деления частоты: 4/5, 8/9, 16/17, 32/33, 64/65.

3. С использованием предложенной автором методики проектирования широкополосного делителя частоты удалось увеличить диапазон рабочих частот СЧ до 5,0 ГГц при допустимом повышении потребления мощности предварительным делителем частоты до 54 мВт.

4. Проведено экспериментальное исследование разработанных СФ-блоков ФАПЧ-СЧ, подтверждены их основные технические параметры. Разработанные устройства не имеют аналогов среди СЧ, изготовленных по объемной КМОП технологии уровня 0,18 мкм и более, и по совокупности характеристик сопоставимы с БиКМОП микросхемами.

5. Разработана математическая модель ФАПЧ-СЧ в среде MATLAB и высокоуровневая поведенческая модель, пригодная для моделирования во временной области. Разработанные модели доступны для редактирова-

ния на уровне исходного кода и позволяют производить расчет с учетом индивидуальных особенностей разрабатываемого устройства.

б. Уточнено определение граничной рабочей частоты частотно-фазового детектора с токовым выходом, что обеспечивает более корректный расчет основных технических характеристик СЧ. Уточнение касается учета отклонения действительной передаточной характеристики блока от идеальной в интересующем интервале входных разностей фаз детектора.

Таким образом, в ходе работы над диссертацией достигнута ее основная цель, а именно развита теория и методики проектирования высокочастотных широкополосных КМОП сложно-функциональных блоков синтезаторов частот, а также разработаны и аттестованы конкурентноспособные СБИС синтезаторов частот с полосой рабочих частот до 5 ГГц.

Список работ, опубликованных по теме диссертации

1. Дубинский А.В. Сравнение и выбор методов измерения джиттера // Научная сессия МИФИ-2004. Сб. научн. трудов. Т.1. – М.: МИФИ, 2004. – С. 258–260.
2. Дубинский А.В. Компенсация фазовой ошибки в ФАПЧ класса fractional-N // Научная сессия МИФИ-2005. Сб. научн. трудов. Т.1. – М.: МИФИ, 2005. – С. 183–184.
3. Дубинский А.В. Архитектуры ФАПЧ для радиочастотных приложений // Научная сессия МИФИ-2005. Сб. научн. трудов. Конференция «Молодежь и наука». Т.15. – М.: МИФИ, 2005. – С. 72-74.
4. Дубинский А.В. Обобщенные модели устройств ФАПЧ // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. – М.: МИФИ, 2005. – С. 147-149.
5. Дубинский А.В. Программируемый зарядно-разрядный блок фазочастотного детектора. // Научная сессия МИФИ-2006. Сб. научн. трудов. Конференция «Молодежь и наука». Т.16. – М.: МИФИ, 2006. – С. 86-88.
6. Байков В.Д., Дубинский А.В. Широкополосный предварительный делитель частоты с формирователем тактового импульса // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. – М.: МИФИ, 2006. – С. 46-50.
7. Дубинский А.В. Оптимизационные задачи проектирования зарядно-разрядных блоков ФАПЧ // Научная сессия МИФИ-2007. Сб. научн. трудов. Т.1. – М.: МИФИ, 2007. – С. 144-145.
8. Гусев В.В., Дубинский А.В., Черных А.В. Разработка тестов при проектировании радиочастотных систем ФАПЧ // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. – М.: МИФИ, 2007. – С. 149-152.

9. Дубинский А.В. Разработка широкополосного КМОП синтезатора радиочастот на основе ФАПЧ // Вопросы радиоэлектроники, серия Электронная вычислительная техника. – 2008. – Вып.3. – С. 39-48.
10. Байков В.Д., Дубинский А.В. Способы улучшения основных технических характеристик ФАПЧ // Научная сессия МИФИ-2008. Сб. научн. трудов. Т.8. – М.: МИФИ, 2008. – С. 87-88.
11. Дубинский А.В. Моделирование синтезаторов частот с использованием табличной макромодели частотно-фазового детектора // Электроника, микро- и наноэлектроника. Сб. научн. трудов. – М.: МИФИ, 2008. – С. 78-80.